

GS32F0039

数据手册

格见半导体
Gejian Semi Confidential - NDA Restrictions

格见半导体
2025年 5月

目录

1 特性	4
1.1 GS32F0039 特性	4
1.2 GS32F0039H 特性	5
1.3 GS32F0039P 特性	6
1.4 GS32F0039-Q 特性	7
1.5 GS32F0039H-Q 特性	8
2 应用	9
3 说明	10
3.1 产品特点	10
3.2 功能框图	11
3.2.1 GS32F0039 功能框图	11
3.2.2 GS32F0039H 功能框图	12
3.2.3 GS32F0039P 功能框图	13
3.2.4 GS32F0039-Q 功能框图	14
3.2.5 GS32F0039H-Q 功能框图	15
4 器件特性比较表	16
4.1.1 GS32F0039/GS32F0039H/GS32F0039P 特性比较列表	16
4.1.2 GS32F0039-Q/GS32F0039H-Q 特性比较列表	18
5 引脚分配	20
5.1 引脚分配图	20
5.1.1 LQFP-100 封装引脚分配	20
5.1.2 LQFP-80 封装引脚分配	21
5.1.3 LQFP-64 封装引脚分配	22
5.1.4 LQFP-48 封装引脚分配	24
5.1.5 HLQFP-128 封装引脚分配	25
5.2 引脚属性表	26
5.2.1 GS32F0039/GS32F0039-Q 引脚属性表	26
5.2.2 GS32F0039H/GS32F0039H-Q 引脚属性表	39
5.2.3 GS32F0039P 引脚属性表	53
5.3 引脚复用	67
5.3.1 引脚复用表	67
5.3.2 ADC 引脚上的数字输入(AIO)	70
5.3.3 模拟数字混合引脚配置说明 (AGPIO)	70
5.3.4 XBAR	71
5.4 带内部上拉和下拉的引脚	73
5.5 未使用引脚的连接	73
6 规格	75
6.1 绝对最大额定值范围	75
6.2 ESD 范围	75
6.3 推荐工作条件	76
6.4 电气特性	76
6.5 电流消耗规格	77
6.6 封装热阻特性	78
6.6.1 PZ 封装的热阻特性	78
6.6.2 PN 封装的热阻特性	78
6.6.3 PM 封装的热阻特性	78
6.6.4 PT 封装的热阻特性	78
6.6.5 PBJ 封装的热阻特性	78
6.7 系统	80
6.7.1 电源管理模块	80
6.7.2 复位特性	87
6.7.3 时钟规格	88
6.7.4 Flash 参数	97
6.7.5 仿真调试与 JTAG	98

6.7.6 GPIO	101
6.7.7 中断	102
6.8 模拟外设	108
6.8.1 模拟子系统	108
6.8.2 ADC	110
6.8.3 温度传感器	115
6.8.4 比较器 CMPSS	116
6.8.5 DAC	120
6.9 控制外设	122
6.9.1 ePWM 增强型脉冲宽度调制器	122
6.9.2 高分辨率脉宽调制器 (HRPWM)	124
6.9.3 增强型捕获 (eCAP)	125
6.9.4 增强正交编码器脉冲模块 (eQEP)	127
6.9.5 增强可编程逻辑块 (eCLB)	128
6.9.6 Σ - Δ 滤波器模块(SDFM)	130
6.10 通信外设	132
6.10.1 SCI	132
6.10.2 内部集成电路 (I2C)	134
6.10.3 SPI	137
6.10.4 电源管理总线 (PMBUS) 接口	141
6.10.5 CAN(FD)	142
6.10.6 LIN	143
7 功能简介	145
7.1 CPU	145
7.1.1 DSP100 内核	145
7.1.2 浮点协处理器 (FPU)	145
7.1.3 实时控制定制指令 (TMU、CLU、IQMATH 等)	145
7.1.4 物理存储器保护单元 (PMP)	146
7.2 存储器	147
7.2.1 内存与闪存映射	147
7.2.2 内存 SRAM	147
7.2.3 闪存 Flash	147
7.2.4 外设寄存器映射	148
7.3 器件引导模式	150
7.3.1 默认引导模式	150
7.3.2 自定义引导模式	150
7.4 DMA	152
7.5 定时器 CPU Timer	155
7.6 看门狗	156
7.6.1 独立看门狗 (WDOG)	156
7.6.2 窗口看门狗 (WWDG)	156
7.6.3 NMI 看门狗 (NMIWDG)	156
7.7 CRC	157
7.8 FFT	158
7.9 AES	159
7.10 嵌入式实时分析与诊断 (ERAD)	160
8 封装信息	161
8.1 LQFP48 封装	161
8.2 LQFP64 封装	164
8.3 LQFP80 封装	167
8.4 LQFP100 封装	170
8.5 HLQFP128 封装	173
9 器件订购信息	176
10 修订历史记录	177

1 特性

1.1 GS32F0039 特性

• RISC-V 架构高性能 GS-DSP100 内核

- 主频 240MHz
- 可零等待访问 DSP 本地的指令存储器 ILM 和数据存储器 DLM
- L1 I/D-Cache 8KB/8KB
- IEEE 754 单精度浮点单元(FPU)
- RV32-R/I/M/C/F 等基础指令集
- RV32-A/P/Zb/Zc 等扩展指令集
- 三角函数和数学计算定制指令单元 TMU
- 三角函数 SIN/COS/ATAN/QUAD 等
- 快速除法、开方、平方和、MAC 等运算
- 电流环控制定制指令单元 CLU
- PARK/IPARK、CLARK/ICARK 变换等
- SVPWM/SYPWM/DPWM、PI/PID 等运算
- PMP 内存保护功能

• 存储器资源

- 最大 768KB 片内 eFlash
- DSP 专用 256KB 指令存储器 ILM 与 64KB 数据存储器 DLM
- 80KB 系统内存
- 片上 SRAM 合计 416KB
- 以上存储器均有 ECC 校验或 Parity 校验

• 时钟和系统控制

- 2 个内部 10MHz RC 振荡器
- 外部无源晶振或时钟信号输入
- 时钟丢失监测和时钟源自动切换
- 看门狗定时器模块可产生中断或复位

• 供电要求

- 内部 LDO 允许单电源 3.3V 供电
- 欠压复位功能

• 系统外设

- 8 通道 DMA 通过 DMAMUX 连接多个外设
- 最多提供 80 个有效的(A)GPIO 和 AIO
- 57 个可编程的多功能复用(A)GPIO
- GPIO 输入包含数字滤波功能
- 在模拟引脚上提供 23 路数字输入 (AIO)
- 嵌入式实时分析和诊断模块 (ERAD)
- 5 个独立的 32-bit 定时器 CPU Timer
- 唯一标识号(UID)
- FFT 单次完成最大 2048 点 RFFT 和 1024 点 CFFT
- CRC 完成 7/8/16/24/32bit 数据和单周期运算
- AES-256 等硬件加解密引擎

• 实时控制外设

- 多达 16 个 ePWM 通道, 其中 8 个通道都具备高分辨率(HRPWM)输出
- ePWM/HRPWM 通道输出分辨率 2.1ns/100ps

- HRPWM 输出分辨率不随 PVT 变化而变化
- 集成 Dead Band 和 Trip Zone 功能
- ePWM 异常时发波行为软件可控且可自恢复
- ePWM 发波多套控制参数平滑生效
- 多 Pattern (PSFB/DAB/LLC 等) 增强发波处理
- 多达 3 个增强型捕获模块(eCAP), 其中 1 个具备高分辨率捕获(HRCAP)
- eCAP 支持捕获和辅助 PWM(APWM)功能
- 2 个增强型正交编码器模块(eQEP)
- 支持 CW/CCW 运行模式
- 支持 ABZ 正交信号解析
- 8 个 Sigma-Delta 滤波器模块(SDFM)输入通道
- 支持标准 SINC 滤波算法
- 每个通道 2 个并联滤波器
- 增强可编程逻辑块 eCLB
- 包含 4 个逻辑单元
- 支持多通道任意延迟封波、多核一致性解封等处理
- 支持 T-Format、BISS-C、ENDAT、A-Format 等位置编码器接口处理
- 支持 QepDiv、Abs2Qep、PulseGen 等 PTO 处理
- 通信外设
- 2 路 SCI/UART 接口
- 2 路 I2C 总线
- 1 路 PMBUS 总线
- 3 路 SPI 接口, 其中 1 路支持 QSPI
- 1 路 LIN/USART 接口, 兼容 UART
- 2 路 CAN/CANFD 控制器
- 模拟系统
- 3 个采样率可达 4MSPS 的 12bit ADC
- 最多 24 个外部输入通道
- 每个 ADC 包含 4 个标准后处理模块(PPB)
- 过采样/欠采样、多通道平均等增强后处理
- 2 个 12bit 带缓冲的 DAC 模块
- 4 个模拟比较器 CMPSS
- 支持窗口比较和单端比较功能
- 每个比较器有内部 12bit DAC 作为参考输入
- 1 个片上温度传感器
- 调试和仿真特性
- 支持 JTAG 四线接口与 cJTAG 两线接口
- 支持 6 个硬件程序断点与 4 个硬件数据断点
- 封装选项
- 100 引脚 LQFP 封装
- 80 引脚 LQFP 封装
- 64 引脚 LQFP 封装
- 48 引脚 LQFN 封装
- 温度选项
- 环境温度 - 40°C 至 105°C

1.2 GS32F0039H 特性

• RISC-V 架构高性能 GS-DSP100 内核

- 主频 300MHz
- 可零等待访问 DSP 本地的指令存储器 ILM 和数据存储器 DLM
- L1 I/D-Cache 8KB/8KB
- IEEE 754 单精度浮点单元(FPU)
- RV32-R/I/M/C/F 等基础指令集
- RV32-A/P/Zb/Zc 等扩展指令集
- 三角函数和数学计算定制指令单元 TMU
- 三角函数 SIN/COS/ATAN/QUAD 等
- 快速除法、开方、平方和、MAC 等运算
- 电流环控制定制指令单元 CLU
- PARK/IPARK、CLARK/ICARK 变换等
- SVPWM/SYPWM/DPWM、PI/PID 等运算
- PMP 内存保护功能

• 存储器资源

- 最大 768KB 片内 eFlash
- DSP 专用 256KB 指令存储器 ILM 与 64KB 数据存储器 DLM
- 80KB 系统内存
- 片上 SRAM 合计 416KB
- 以上存储器均有 ECC 校验或 Parity 校验

• 时钟和系统控制

- 2 个内部 10MHz RC 振荡器
- 外部无源晶振或时钟信号输入
- 时钟丢失监测和时钟源自动切换
- 看门狗定时器模块可产生中断或复位

• 供电要求

- 内部 LDO 允许单电源 3.3V 供电
- 欠压复位功能

• 系统外设

- 8 通道 DMA 通过 DMAMUX 连接多个外设
- 最多提供 80 个有效的(A)GPIO 和 AIO
- 57 个可编程的多功能复用(A)GPIO
- GPIO 输入包含数字滤波功能
- 在模拟引脚上提供 23 路数字输入 (AIO)
- 嵌入式实时分析和诊断模块 (ERAD)
- 5 个独立的 32-bit 定时器 CPU Timer
- 唯一标识号(UID)
- FFT 单次完成最大 2048 点 RFFT 和 1024 点 CFFT
- CRC 完成 7/8/16/24/32bit 数据和单周期运算
- AES-256 等硬件加解密引擎

• 实时控制外设

- 多达 24 个 ePWM 通道, 其中 16 个通道都具备高分辨率(HRPWM)输出
- ePWM/HRPWM 通道输出分辨率 1.6ns/100ps

- HRPWM 输出分辨率不随 PVT 变化而变化
- 集成 Dead Band 和 Trip Zone 功能
- ePWM 异常时发波行为软件可控且可自恢复
- ePWM 发波多套控制参数平滑生效
- 多 Pattern (PSFB/DAB/LLC 等) 增强发波处理
- 多达 7 个增强型捕获模块(eCAP), 其中 2 个具备高分辨率捕获(HRCAP)
- eCAP 支持捕获和辅助 PWM(APWM)功能
- 2 个增强型正交编码器模块(eQEP)
- 支持 CW/CCW 运行模式
- 支持 ABZ 正交信号解析
- 8 个 Sigma-Delta 滤波器模块(SDFM)输入通道
- 支持标准 SINC 滤波算法
- 每个通道 2 个并联滤波器
- 增强可编程逻辑块 eCLB
- 包含 4 个逻辑单元
- 支持多通道任意延迟封波、多核一致性解封等处理
- 支持 T-Format、BISS-C、ENDAT、A-Format 等位置编码器接口处理
- 支持 QepDiv、Abs2Qep、PulseGen 等 PTO 处理

• 通信外设

- 2 路 SCI/UART 接口
- 2 路 I2C 总线
- 1 路 PMBUS 总线
- 3 路 SPI 接口, 其中 1 路支持 QSPI
- 2 路 LIN/USART 接口, 兼容 UART
- 2 路 CAN/CANFD 控制器

• 模拟系统

- 3 个采样率可达 4MSPS 的 12bit ADC
- 最多 24 个外部输入通道
- 每个 ADC 包含 4 个标准后处理模块(PPB)
- 过采样/欠采样、多通道平均等增强后处理
- 2 个 12bit 带缓冲的 DAC 模块
- 6 个模拟比较器 CMPSS
- 支持窗口比较和单端比较功能
- 每个比较器有内部 12bit DAC 作为参考输入
- 1 个片上温度传感器

• 调试和仿真特性

- 支持 JTAG 四线接口与 cJTAG 两线接口
- 支持 6 个硬件程序断点与 4 个硬件数据断点

• 封装选项

- 100 引脚 LQFP 封装
- 80 引脚 LQFP 封装
- 64 引脚 LQFP 封装
- 48 引脚 LQFN 封装

• 温度选项

- 环境温度 -40°C 至 105

1.3 GS32F0039P 特性

• CPU: RISC-V 架构高性能 GS-DSP100 内核

- 主频 300MHz
- 可零等待访问 DSP 本地的指令存储器 ILM 和数据存储器 DLM
- L1 I/D-Cache 8KB/8KB
- IEEE 754 单精度浮点单元(FPU)
- RV32-R/I/M/C/F 等基础指令集
- RV32-A/P/Zb/Zc 等扩展指令集
- 三角函数和数学计算定制指令单元 TMU
- 三角函数 SIN/COS/ATAN/QUAD 等
- 快速除法、开方、平方和、MAC 等运算
- 电流环控制定制指令单元 CLU
- PARK/IPARK、CLARK/ICARK 变换等
- SVPWM/SYPWM/DPWM、PI/PID 等运算
- PMP 内存保护功能

• 存储器资源

- 最大 1MB 片内 eFlash
- DSP 专用 256KB 指令存储器 ILM 与 64KB 数据存储器 DLM
- 80KB 系统内存
- 片上 SRAM 合计 416KB
- 以上存储器均有 ECC 校验或 Parity 校验

• 时钟和系统控制

- 2 个内部 10MHz RC 振荡器
- 外部无源晶振或时钟信号输入
- 时钟丢失监测和时钟源自动切换
- 看门狗定时器模块可产生中断或复位

• 供电要求

- 内部 LDO 允许单电源 3.3V 供电
- 欠压复位功能

• 系统外设

- 8 通道 DMA 通过 DMAMUX 连接多个外设
- 最多提供 98 个有效的(A)GPIO 和 AIO
- 67 个可编程的多功能复用(A)GPIO
- GPIO 输入包含数字滤波功能
- 在模拟引脚上提供 31 路数字输入 (AIO)
- 嵌入式实时分析和诊断模块 (ERAD)
- 5 个独立的 32-bit 定时器 CPU Timer
- 唯一标识号(UID)
- FFT 单次完成最大 2048 点 RFFT 和 1024 点 CFFT
- CRC 完成 7/8/16/24/32bit 数据和单周期运算
- AES-256 等硬件加解密引擎

• 实时控制外设

- 多达 24 个 ePWM 通道, 其中 16 个通道都具备高分辨率(HRPWM)输出

- ePWM/HRPWM 通道输出分辨率 1.6ns/100ps
- HRPWM 输出分辨率不随 PVT 变化而变化
- 集成 Dead Band 和 Trip Zone 功能
- ePWM 异常时发波行为软件可控且可自恢复
- ePWM 发波多套控制参数平滑生效
- 多 Pattern (PSFB/DAB/LLC 等) 增强发波处理
- 多达 7 个增强型捕获模块(eCAP), 其中 2 个具备高分辨率捕获(HRCAP)
- eCAP 支持捕获和辅助 PWM(APWM)功能
- 2 个增强型正交编码器模块(eQEP)
- 支持 CW/CCW 运行模式
- 支持 ABZ 正交信号解析
- 8 个 Sigma-Delta 滤波器模块(SDFM)输入通道
- 支持标准 SINC 滤波算法
- 每个通道 2 个并联滤波器
- 增强可编程逻辑块 eCLB
- 包含 4 个逻辑单元
- 支持多通道任意延迟封锁、多核一致性解封等处理
- 支持 T-Format、BISS-C、ENDAT、A-Format 等位置编码器接口处理
- 支持 QepDiv、Abs2Qep、PulseGen 等 PTO 处理

• 通信外设

- 2 路 SCI/UART 接口
- 2 路 I2C 总线
- 1 路 PMBUS 总线
- 3 路 SPI 接口, 其中 1 路支持 QSPI
- 2 路 LIN/USART 接口, 兼容 UART
- 2 路 CAN/CANFD 控制器

• 模拟系统

- 3 个采样率可达 4MSPS 的 12bit ADC
- 最多 36 个外部输入通道
- 每个 ADC 包含 4 个标准后处理模块(PPB)
- 过采样/欠采样、多通道平均等增强后处理
- 2 个 12bit 带缓冲的 DAC 模块
- 7 个模拟比较器 CMPSS
- 支持窗口比较和单端比较功能
- 每个比较器有内部 12bit DAC 作为参考输入
- 1 个片上温度传感器

• 调试和仿真特性

- 支持 JTAG 四线接口与 cJTAG 两线接口
- 支持 6 个硬件程序断点与 4 个硬件数据断点

• 封装选项

- 128 引脚 HLQFP 封装
- 100 引脚 LQFP 封装

• 温度选项

- 环境温度 -40°C 至 105°C

1.4 GS32F0039-Q 特性

• RISC-V 架构高性能 GS-DSP100 内核

- 主频 240MHz
- 可零等待访问 DSP 本地的指令存储器 ILM 和数据存储器 DLM
- L1 I/D-Cache 8KB/8KB
- IEEE 754 单精度浮点单元(FPU)
- RV32-R/I/M/C/F 等基础指令集
- RV32-A/P/Zb/Zc 等扩展指令集
- 三角函数和数学计算定制指令单元 TMU
- 三角函数 SIN/COS/ATAN/QUAD 等
- 快速除法、开方、平方和、MAC 等运算
- 电流环控制定制指令单元 CLU
- PARK/IPARK、CLARK/ICARK 变换等
- SVPWM/SYPWM/DPWM、PI/PID 等运算
- PMP 内存保护功能

• 存储器资源

- 最大 768KB 片内 eFlash
- DSP 专用 256KB 指令存储器 ILM 与 64KB 数据存储器 DLM
- 80KB 系统内存
- 片上 SRAM 合计 416KB
- 以上存储器均有 ECC 校验或 Parity 校验

• 时钟和系统控制

- 2 个内部 10MHz RC 振荡器
- 外部无源晶振或时钟信号输入
- 时钟丢失监测和时钟源自动切换
- 看门狗定时器模块可产生中断或复位

• 供电要求

- 内部 LDO 允许单电源 3.3V 供电
- 欠压复位功能

• 系统外设

- 8 通道 DMA 通过 DMAMUX 连接多个外设
- 最多提供 80 个有效的(A)GPIO 和 AIO
- 57 个可编程的多功能复用(A)GPIO
- GPIO 输入包含数字滤波功能
- 在模拟引脚上提供 23 路数字输入 (AIO)
- 嵌入式实时分析和诊断模块 (ERAD)
- 5 个独立的 32-bit 定时器 CPU Timer
- 唯一标识号(UID)
- FFT 单次完成最大 2048 点 RFFT 和 1024 点 CFFT
- CRC 完成 7/8/16/24/32bit 数据和单周期运算
- AES-256 等硬件加解密引擎

• 实时控制外设

- 多达 16 个 ePWM 通道, 其中 8 个通道都具备高分辨率(HRPWM)输出
- ePWM/HRPWM 通道输出分辨率 2.1ns/100ps
- HRPWM 输出分辨率不随 PVT 变化而变化
- 集成 Dead Band 和 Trip Zone 功能
- ePWM 异常时发波行为软件可控且可自恢复

- ePWM 发波多套控制参数平滑生效
- 多 Pattern (PSFB/DAB/LLC 等) 增强发波处理
- 多达 3 个增强型捕获模块(eCAP), 其中 1 个具备高分辨率捕获(HRCAP)
- eCAP 支持捕获和辅助 PWM(APWM)功能
- 2 个增强型正交编码器模块(eQEP)
- 支持 CW/CCW 运行模式
- 支持 ABZ 正交信号解析
- 8 个 Sigma-Delta 滤波器模块(SDFM)输入通道
- 支持标准 SINC 滤波算法
- 每个通道 2 个并联滤波器
- 增强可编程逻辑块 eCLB
- 包含 4 个逻辑单元
- 支持多通道任意延迟封波、多核一致性解封等处理
- 支持 T-Format、BISS-C、ENDAT、A-Format 等位置编码器接口处理
- 支持 QepDiv、Abs2Qep、PulseGen 等 PTO 处理

• 通信外设

- 2 路 SCI/UART 接口
- 2 路 I2C 总线
- 1 路 PMBUS 总线
- 3 路 SPI 接口, 其中 1 路支持 QSPI
- 1 路 LIN/USART 接口, 兼容 UART
- 2 路 CAN/CANFD 控制器

• 模拟系统

- 3 个采样率可达 4MSPS 的 12bit ADC
- 最多 24 个外部输入通道
- 每个 ADC 包含 4 个标准后处理模块(PPB)
- 过采样/欠采样、多通道平均等增强后处理
- 2 个 12bit 带缓冲的 DAC 模块
- 4 个模拟比较器 CMPSS
- 支持窗口比较和单端比较功能
- 每个比较器有内部 12bit DAC 作为参考输入
- 1 个片上温度传感器

• 调试和仿真特性

- 支持 JTAG 四线接口与 cJTAG 两线接口
- 支持 6 个硬件程序断点与 4 个硬件数据断点

• 封装选项

- 100 引脚 LQFP 封装
- 80 引脚 LQFP 封装
- 64 引脚 LQFP 封装
- 48 引脚 LQFN 封装

• 温度选项和可靠性

- 环境温度 -40°C 至 125°C
- AEC-Q100

• 功能安全

- ASIL-B

1.5 GS32F0039H-Q 特性

• RISC-V 架构高性能 GS-DSP100 内核

- 主频 240MHz
- 可零等待访问 DSP 本地的指令存储器 ILM 和数据存储器 DLM
- L1 I/D-Cache 8KB/8KB
- IEEE 754 单精度浮点单元(FPU)
- RV32-R/I/M/C/F 等基础指令集
- RV32-A/P/Zb/Zc 等扩展指令集
- 三角函数和数学计算定制指令单元 TMU
- 三角函数 SIN/COS/ATAN/QUAD 等
- 快速除法、开方、平方和、MAC 等运算
- 电流环控制定制指令单元 CLU
- PARK/IPARK、CLARK/ICARK 变换等
- SVPWM/SYPWM/DPWM、PI/PID 等运算
- PMP 内存保护功能

• 存储器资源

- 最大 1024KB 片内 eFlash
- DSP 专用 256KB 指令存储器 ILM 与 64KB 数据存储器 DLM
- 80KB 系统内存
- 片上 SRAM 合计 416KB
- 以上存储器均有 ECC 校验或 Parity 校验

• 时钟和系统控制

- 2 个内部 10MHz RC 振荡器
- 外部无源晶振或时钟信号输入
- 时钟丢失监测和时钟源自动切换
- 看门狗定时器模块可产生中断或复位

• 供电要求

- 内部 LDO 允许单电源 3.3V 供电
- 欠压复位功能

• 系统外设

- 8 通道 DMA 通过 DMAMUX 连接多个外设
- 最多提供 80 个有效的(A)GPIO 和 AIO
- 57 个可编程的多功能复用(A)GPIO
- GPIO 输入包含数字滤波功能
- 在模拟引脚上提供 23 路数字输入 (AIO)
- 嵌入式实时分析和诊断模块 (ERAD)
- 5 个独立的 32-bit 定时器 CPUMTimer
- 唯一标识号(UID)
- FFT 单次完成最大 2048 点 RFFT 和 1024 点 CFFT
- CRC 完成 7/8/16/24/32bit 数据和单周期运算
- AES-256 等硬件加解密引擎

• 实时控制外设

- 多达 24 个 ePWM 通道, 其中 16 个通道都具备高分辨率(HRPWM)输出
- ePWM/HRPWM 通道输出分辨率 2.1ns/130ps

- HRPWM 输出分辨率不随 PVT 变化而变化
- 集成 Dead Band 和 Trip Zone 功能
- ePWM 异常时发波行为软件可控且可自恢复
- ePWM 发波多套控制参数平滑生效
- 多 Pattern (PSFB/DAB/LLC 等) 增强发波处理
- 多达 7 个增强型捕获模块(eCAP), 其中 2 个具备高分辨率捕获(HRCAP)
- eCAP 支持捕获和辅助 PWM(APWM)功能
- 2 个增强型正交编码器模块(eQEP)
- 支持 CW/CCW 运行模式
- 支持 ABZ 正交信号解析
- 8 个 Sigma-Delta 滤波器模块(SDFM)输入通道
- 支持标准 SINC 滤波算法, 每个通道 2 个并联滤波器

• 增强可编程逻辑块 eCLB

- 包含 4 个逻辑单元
- 支持多通道任意延迟封波、多核一致性解封等处理
- 支持 T-Format、BISS-C、ENDAT、A-Format 等位置编码器接口处理
- 支持 QepDiv、Abs2Qep、PulseGen 等 PTO 处理

• 通信外设

- 2 路 SCI/UART 接口
- 2 路 I2C 总线
- 1 路 PMBUS 总线
- 3 路 SPI 接口, 其中 1 路支持 QSPI
- 2 路 LIN/USART 接口, 兼容 UART
- 2 路 CAN/CANFD 控制器

• 模拟系统

- 3 个采样率可达 4MSPS 的 12bit ADC
- 最多 24 个外部输入通道
- 每个 ADC 包含 4 个标准后处理模块(PPB)
- 过采样/欠采样、多通道平均等增强后处理
- 2 个 12bit 带缓冲的 DAC 模块
- 6 个模拟比较器 CMPSS
- 支持窗口比较和单端比较功能
- 每个比较器有内部 12bit DAC 作为参考输入
- 1 个片上温度传感器

• 调试和仿真特性

- 支持 JTAG 四线接口与 cJTAG 两线接口
- 支持 6 个硬件程序断点与 4 个硬件数据断点

• 封装选项

- 100 引脚 LQFP 封装
- 80 引脚 LQFP 封装
- 64 引脚 LQFP 封装
- 48 引脚 LQFN 封装

• 温度选项和可靠性

- 环境温度 -40°C 至 125°C
- AEC-Q100

• 功能安全

- ASIL-B

2 应用

- 电器
 - 空调室外机
- 楼宇自动化
 - 门机驱动控制
- 工业机器和机床
 - 自动分拣设备
 - 纺织机
- 交流逆变器和 VF 驱动器
 - 交流驱动控制模块
 - 交流驱动器位置反馈
 - 交流驱动功率级模块
- 直线电机运输系统
 - 线性电机功率级
- 单轴和多轴伺服驱动器
 - 伺服驱动器位置反馈
 - 伺服驱动功率级模块
- 速度控制的 BLDC 驱动器
 - 交流输入 BLDC 电机驱动
 - 直流输入 BLDC 电机驱动
- 工厂自动化
 - 机器人伺服驱动
 - 移动机器人电机控制
 - 位置传感器
- 工业电源
 - 工业交流-直流
- UPS
 - 三相 UPS
 - 单相在线式 UPS
- 电信和服务器电源
 - 商户 DC/DC
 - 商户网络和服务器 PSU
 - 商用电信整流器
- 电动汽车充电基础设施
 - 交流充电 (桩) 站
 - 直流充电 (桩) 站
 - 电动汽车充电站电源模块
 - 无线电动汽车充电站
- 可再生能源储存
 - 储能电源转换系统
- (件)
- 太阳能
 - 中央逆变器
 - 微型逆变器
 - 太阳能优化器

3 说明

3.1 产品特点

GS32F0039 全系列 (包含 GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q 等型号) 微控制器包含高性能 DSP100 内核, 支持三角函数、快速除法、Park/Clark 变换、PID 控制等定制指令和函数, 集成了适合各种工业控制应用的增强型控制外设, 包含了丰富的通信接口, 适用于各种需要高实时性控制的应用领域:

- 工业电机驱动
- 电机控制
- 光伏逆变器
- 数字电源
- 电动车充电基础设施
- 感应和信号调理

GS32F0039 全系列的 DSP100 内核基于 RISC-V 架构, 支持 32 位浮点计算, 包含了三角函数、快速除法等常用数学计算的定制指令, 还包含了 Park 变换、Clark 变换、(NL-)PID 控制、SVPWM/DPWM 等复杂控制算法的定制指令和定制函数, 分别支持浮点计算与定点计算, 提高了控制环路和位置计算中常见的基于三角函数运算的算法性能。

GS32F0039、GS32F0039H、GS32F0039-Q 型号包含最多 768KB 带 ECC 校验的片上闪存 eFlash, GS32F0039P、GS32F0039H-Q 型号包含最多 1024KB 带 EC 校验的片上闪存 eFlash。

GS32F0039 全系列包含最多 400KB+ 带 ECC 校验或 Parity 校验的片上 SRAM, 其中包含最多 256KB (ILM) + 64KB (DLM) 的紧耦合 SRAM 供 DSP100 主核使用, 另外有 80KB 系统共享 SRAM。

GS32F0039 全系列, 模拟子系统配有三个 12 位 ADC, 这三个 ADC 可同时采集三组模拟信号; 同时配有两个 12 位带缓冲的 DAC。

GS32F0039、GS32F0039-Q 型号配有 4 个窗口比较器子系统 (CMPSS), GS32F0039H、GS32F0039Q、GS32F0039H-Q 型号配有 6-7 个窗口比较器子系统, 支持窗口比较或单端比较, 可在过压或过流条件下使 EPWM 快速关断。

GS32F0039、GS32F0039-Q 型号允许使用 8 个具有故障保护功能的增强型脉宽调制器 EPWM (16 通道, 其中 8 通道支持 HRPWM); GS32F0039H、GS32F0039Q、GS32F0039H-Q 型号允许使用 12 个具有故障保护功能的增强型脉宽调制器 EPWM (24 通道, 其中 16 通道支持 HRPWM)。

GS32F0039 全系列配有多个具有输入捕获、辅助 PWM 发波输出功能的 ECAP, 同时配有 2 个正交编码器 ECAP, 配有 8 通道输入的 Sigma-Delta 滤波器模块 SDFM, 以及 4 个增强型支持可编程的逻辑块 (ECLB)。此外, 本器件包含多种通信外设, 支持业界标准的 SCI(UART)、I2C、SPI、CAN/CAN-FD、LIN 等接口。

3.2 功能框图

3.2.1 GS32F0039 功能框图

GS32F0039 的总体架构框图如下所示:

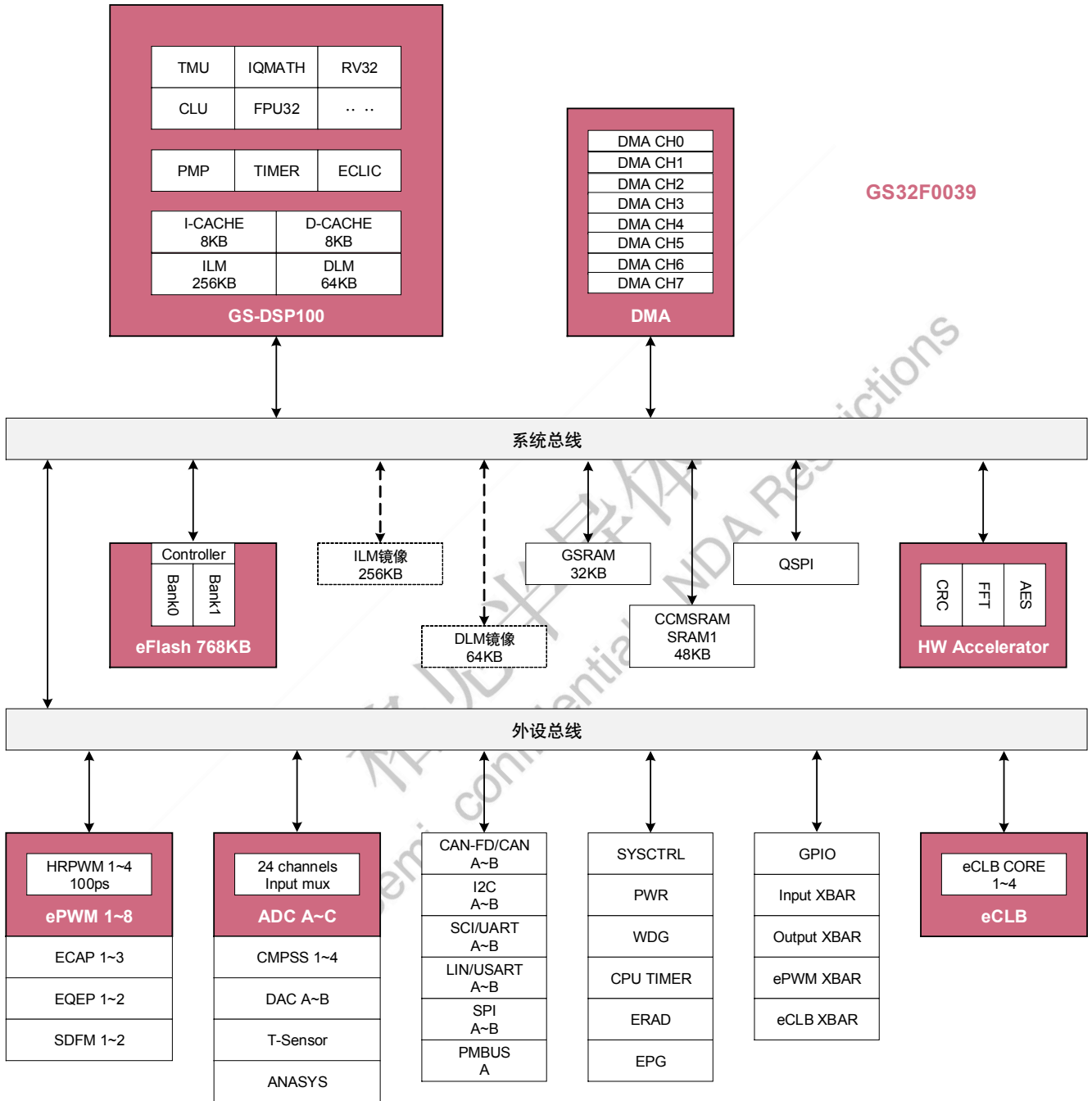


图 3-1. GS32F0039 总体架构框图

3.2.2 GS32F0039H 功能框图

GS32F0039H 的总体架构框图如下所示:

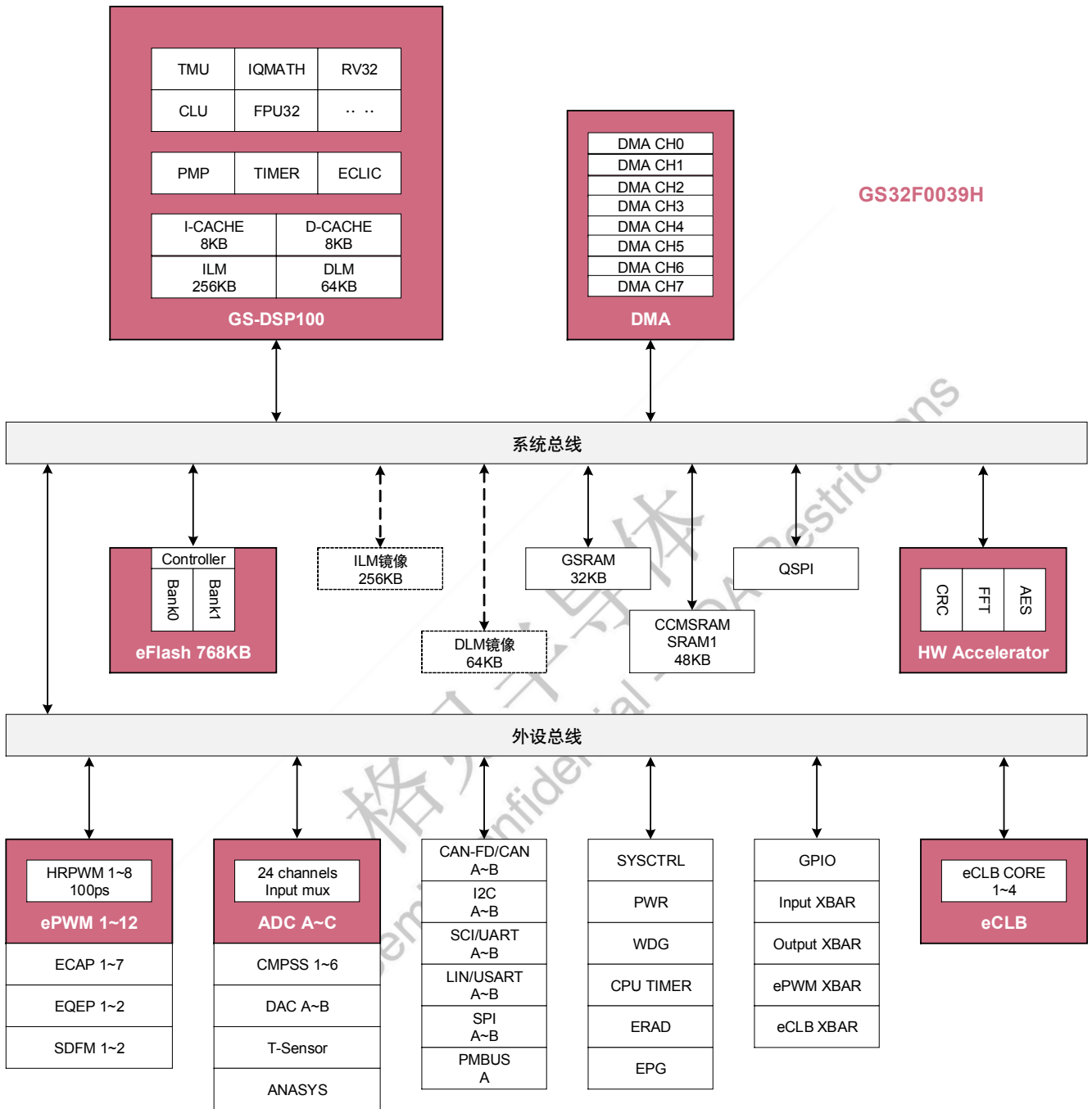


图 3-2. GS32F0039H 总体架构框图

3.2.3 GS32F0039P 功能框图

GS32F0039P 的总体架构框图如下所示:

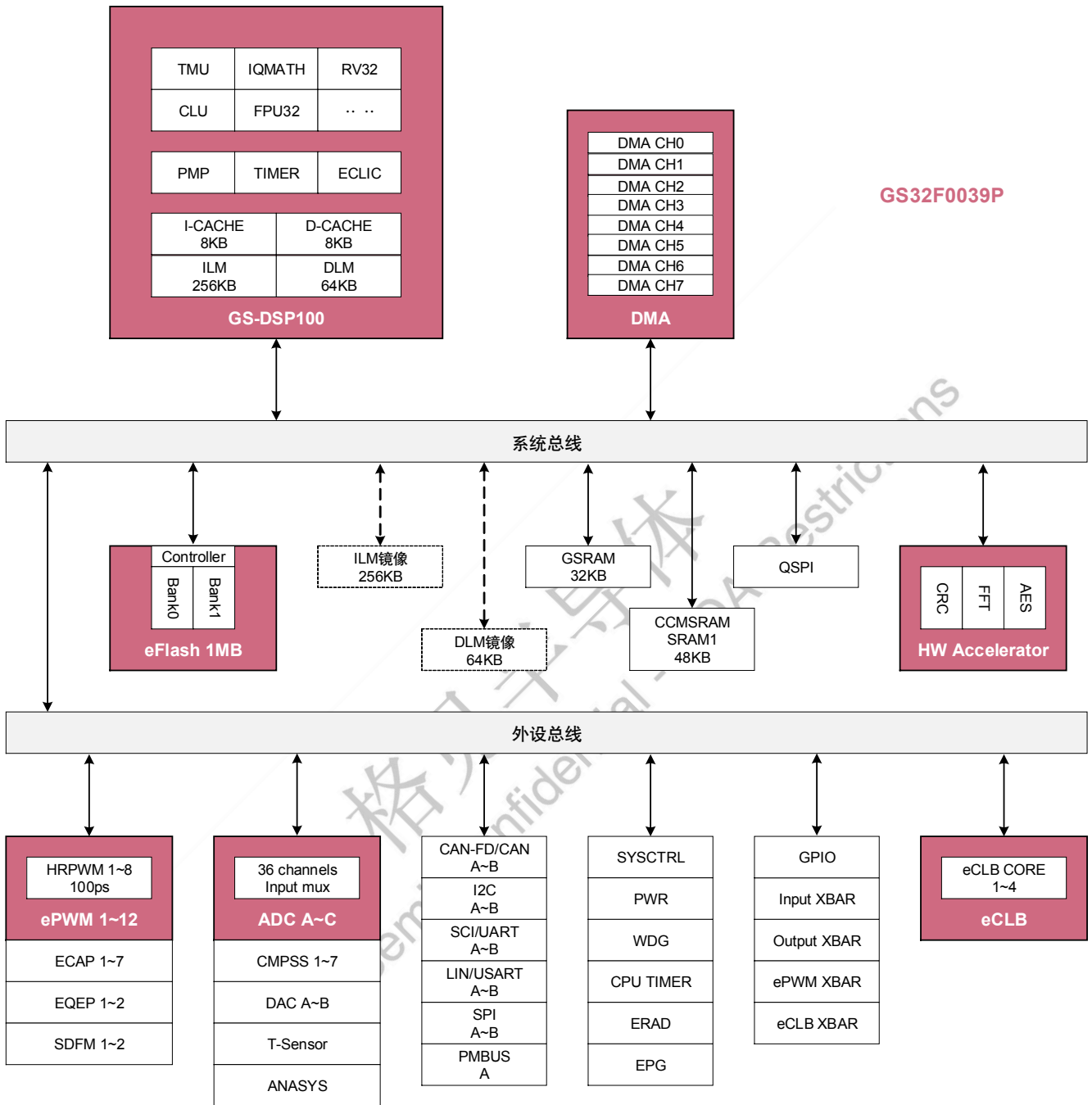


图 3-3. GS32F0039P 总体架构框图

3.2.4 GS32F0039-Q 功能框图

GS32F0039-Q 的总体架构框图如下所示:

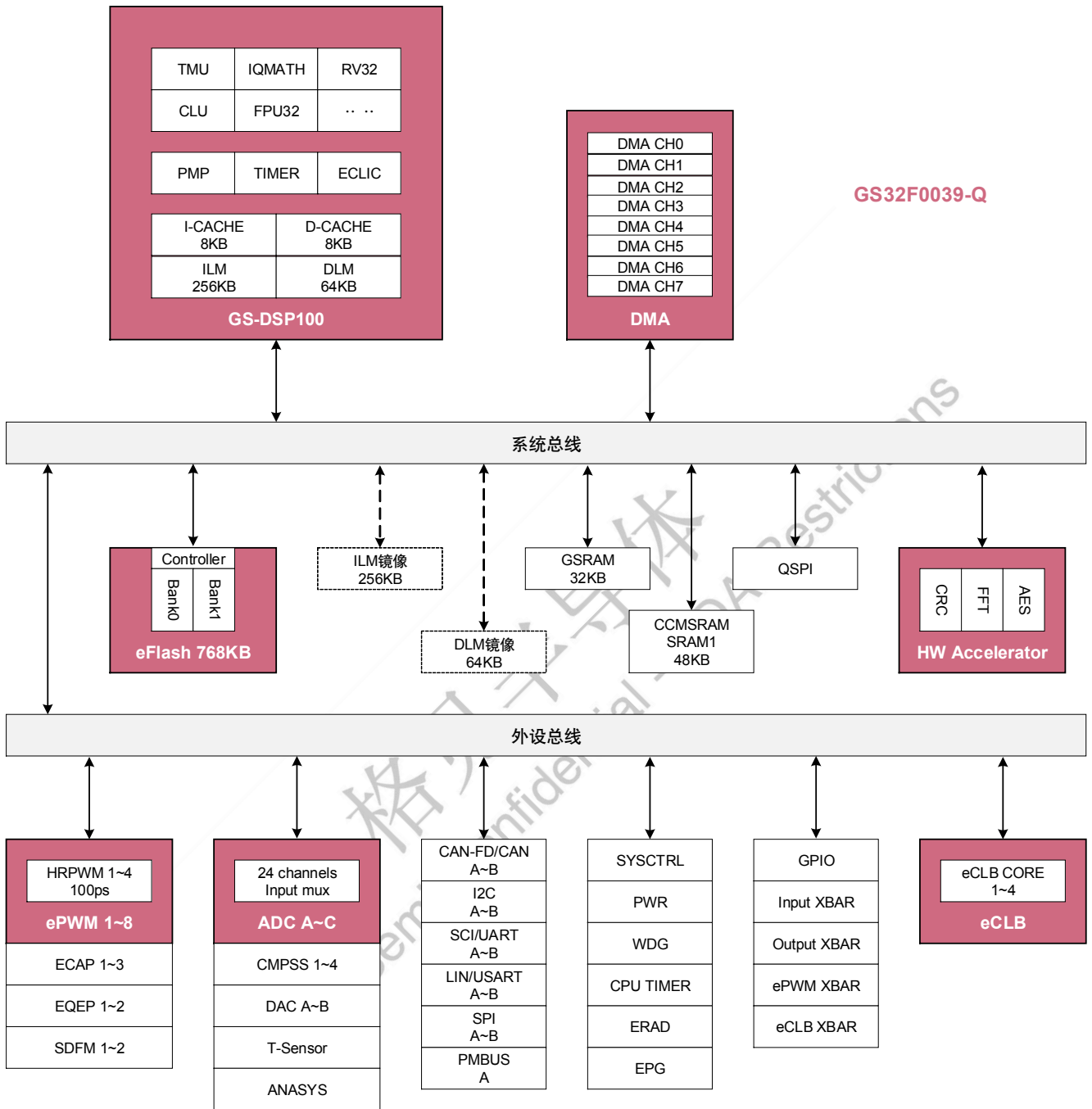


图 3-4. GS32F0039-Q 总体架构框图

3.2.5 GS32F0039H-Q 功能框图

GS32F0039H-Q 的总体架构框图如下所示:

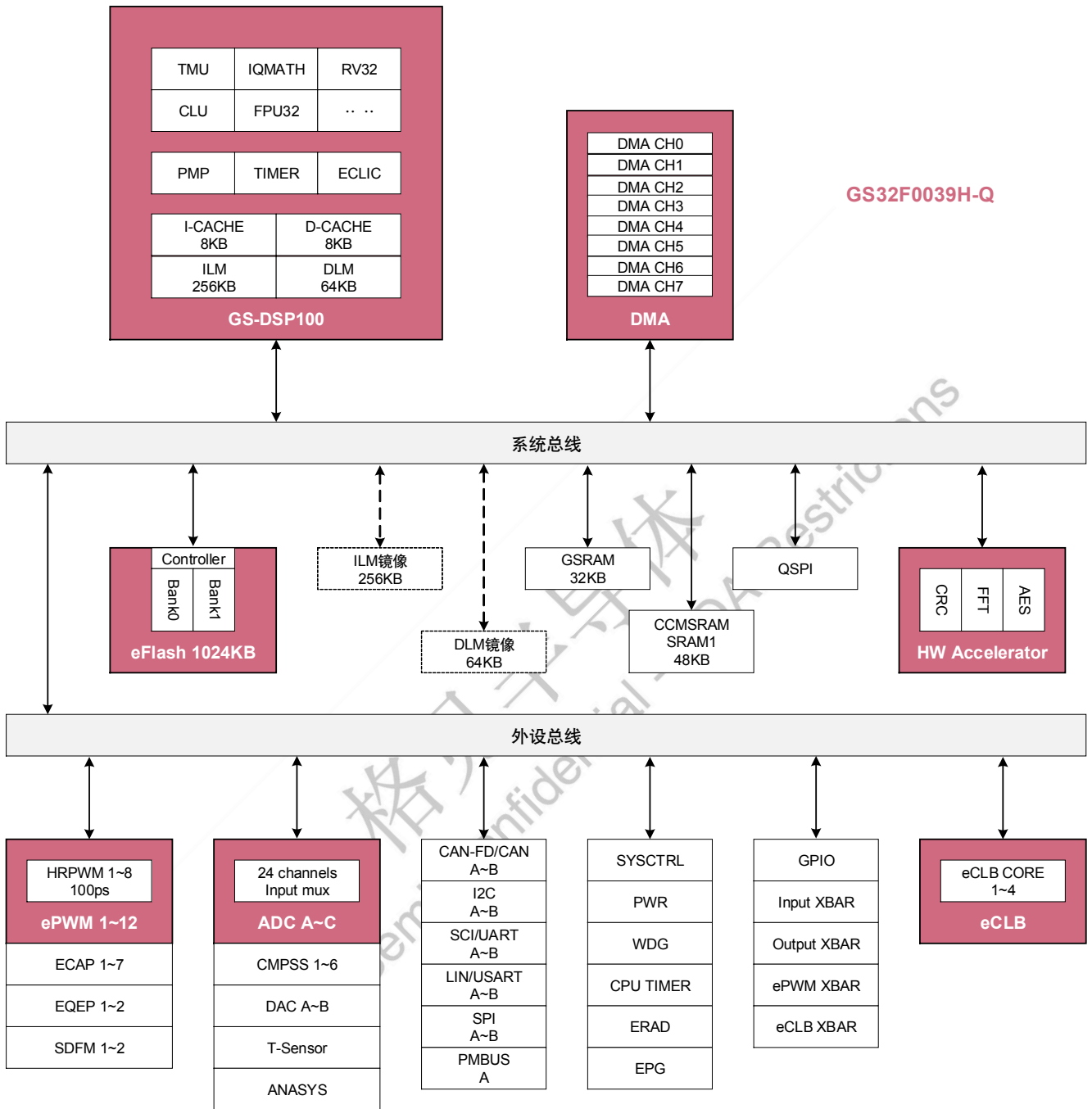


图 3-5. GS32F0039H-Q 总体架构框图

4 器件特性比较表

4.1.1 GS32F0039/GS32F0039H/GS32F0039P 特性比较列表

表 4-1. GS32F0039/GS32F0039H/GS32F0039P 产品特性列表

功能特性		GS32F0039	GS32F0039H	GS32F0039Q
内核				
DSP 核特性	DSP 核型号	GS-DSP100	GS-DSP100	GS-DSP100
	DSP 核数量	1	1	1
	频率(MHz)	240MHz	300MHz	300MHz
	浮点运算单元	FPU32	FPU32	FPU32
	三角函数计算单元	TMU	TMU	TMU
	电流环计算单元	CLU	CLU	CLU
DMA		8ch	8ch	8ch
存储器				
eFlash		768KB	768KB	1024KB
eFlash Banks		2	2	2
RAM 存储器	ICACHE	8KB	8KB	8KB
	DCACHE	8KB	8KB	8KB
	ILM	256KB	256KB	256KB
	DLM	64KB	64KB	64KB
	全局共享 SRAM	80KB	80KB	80KB
	RAM 合计	416KB	416KB	416KB
ECC 校验或 Parity 校验		ECC/PC	ECC/PC	ECC/PC
片上 Flash 与 RAM 的信息安全		Yes	Yes	Yes
系统				
ECLB		4 tiles	4 tiles	4 tiles
EPG		Yes	Yes	Yes
32 位定时器 CPUtimer		5	5	5
AES 加密单元		Yes	Yes	Yes
CRC		Yes	Yes	Yes
FFT		Yes	Yes	Yes
安全启动		Yes	Yes	Yes
JTAG 锁		Yes	Yes	Yes
M-POST 存储器开机自检		Yes	Yes	Yes
NMI 看门狗定时器		1	1	1
看门狗定时器		2	2	2
晶振输入		1	1	1
内部振荡器		2	2	2
ERAD		Yes	Yes	Yes
引脚与电源				
3.3V 转 Vcore 调压器		Yes	Yes	Yes
合计 GPIO/AGPIO 引脚	128-pin PBJ	-	-	67
	100-pin PZ	57	57	57
	80-pin PN	45	45	-
	64-pin PM	30	30	-
	48-pin PT	18	18	-
AIO 引脚	128-pin PBJ	-	-	31
	100-pin PZ	23	23	23
	80-pin PN	16	16	-
	64-pin PM	16	16	-
	48-pin PT	14	14	-
合计 GPIO+AIO 引脚数	128-pin PBJ	-	-	98
	100-pin PZ	80	80	80
	80-pin PN	61	61	-

	64-pin PM	46	46	-
	48-pin PT	32	32	-
模拟外设				
12 位 ADC	ADC 模块数量	3	3	3
	采样率 MSPS	4MSPS	4MSPS	4MSPS
	转换时间	250ns	250ns	250ns
ADC 通道数 (单端模式)	128-pin PBJ	-	-	36
	100-pin PZ	24	24	24
	80-pin PN	18	18	-
	64-pin PM	16	16	-
	48-pin PT	14	14	-
温度传感器		1	1	1
模拟比较器 CMPSS		4	6	7
带缓冲的 DAC		2	2	2
控制外设				
ECAP / HRCAP	通道数	3	7	7
	高分辨率通道	1	2	2
EPWM / HRPWM	通道数	16	24	24
	高分辨率通道	8	16	16
EQEP 模块		2	2	2
SDFM 通道数		8	8	8
通信外设				
I2C		2	2	2
PMBUS		1	1	1
LIN (兼容 USART)		2	2	2
SCI (兼容 UART)		2	2	2
SPI		2	2	2
CANFD (兼容 CAN)		2 CAN-FD	2 CAN-FD	2 CAN-FD
QSPI		1	1	1
温度与封装选项				
封装选项	128-pin PBJ	-	-	Yes
	100-pin PZ	Yes	Yes	Yes
	80-pin PN	Yes	Yes	-
	64-pin PM	Yes	Yes	-
	48-pin PT	Yes	Yes	-
芯片结温 (T _J)		-40 ° C to 125 ° C	-40 ° C to 125 ° C	-40 ° C to 125 ° C
环境温度(T _A)		-40 ° C to 105 ° C	-40 ° C to 105 ° C	-40 ° C to 105 ° C

4.1.2 GS32F0039-Q/GS32F0039H-Q 特性比较列表

表 4-2. GS32F0039-Q/GS32F0039H-Q 产品特性列表

功能特性		GS32F0039-Q	GS32F0039H-Q
内核			
DSP 核特性	DSP 核型号	GS-DSP100	GS-DSP100
	DSP 核数量	1	1
	频率(MHz)	240MHz	240MHz
	浮点运算单元	FPU32	FPU32
	三角函数计算单元	TMU	TMU
	电流环计算单元	CLU	CLU
DMA		8ch	8ch
存储器			
eFlash		768KB	1024KB
eFlash Banks		2	2
RAM 存储器	ICACHE	8KB	8KB
	DCACHE	8KB	8KB
	ILM	256KB	256KB
	DLM	64KB	64KB
	全局共享 SRAM	80KB	80KB
	RAM 合计	416KB	416KB
ECC 校验或 Parity 校验		ECC/PC	ECC/PC
片上 Flash 与 RAM 的信息安全		Yes	Yes
系统			
ECLB		4 tiles	4 tiles
EPG		Yes	Yes
32 位定时器 CPU Timer		5	5
AES 加密单元		Yes	Yes
CRC		Yes	Yes
FFT		Yes	Yes
安全启动		Yes	Yes
JTAG 锁		Yes	Yes
M-POST 存储器开机自检		Yes	Yes
NMI 看门狗定时器		1	1
看门狗定时器		2	2
晶振输入		1	1
内部振荡器		2	2
ERAD		Yes	Yes
引脚与电源			
3.3V 转 Vcore 调压器	VREG LDO	Yes	Yes
合计 GPIO/AGPIO 引脚	100-pin PZ	57	57
	80-pin PN	45	45
	64-pin PM	30	30
	48-pin PT	18	18
AIO 引脚	100-pin PZ	23	23
	80-pin PN	16	16
	64-pin PM	16	16
	48-pin PT	14	14
合计 GPIO+AIO 引脚数	100-pin PZ	80	80
	80-pin PN	61	61
	64-pin PM	46	46
	48-pin PT	32	32
模拟外设			
12 位 ADC	ADC 模块数量	3	3
	采样率 MSPS	4MSPS	4MSPS
	转换时间(ns)	250ns	250ns
ADC 通道数	100-pin PZ	24	24

(单端模式)	80-pin PN	18	18
	64-pin PM	16	16
	48-pin PT	14	14
温度传感器		1	1
模拟比较器 CMPSS		4	6
带缓冲的 DAC		2	2
控制外设			
ECAP / HRCAP	通道数	3	7
	高分辨率通道	1	2
EPWM / HRPWM	通道数	16	24
	高分辨率通道	8	16
EQEP 模块		2	2
SDFM 通道数		8	8
通信外设			
I2C		2	2
PMBUS		1	1
LIN (兼容 USART)		2	2
SCI (兼容 UART)		2	2
SPI		2	2
CANFD (兼容 CAN)		2 CAN-FD	2 CAN-FD
QSPI		1	1
温度与封装选项			
封装选项	100-pin PZ	Yes	Yes
	80-pin PN	Yes	Yes
	64-pin PM	Yes	Yes
	48-pin PT	Yes	Yes
芯片结温 (T _J)		- 40 ° C to 150 ° C	- 40 ° C to 150 ° C
环境温度(TA)		- 40 ° C to 125 ° C	- 40 ° C to 125 ° C
AEC-Q100		Yes	Yes
功能安全			
ASIL-B		Yes	Yes

5 引脚分配

5.1 引脚分配图

5.1.1 LQFP-100 封装引脚分配

下图显示了 GS32F0039 全系列 100 引脚 LQFP 封装上的引脚分配。

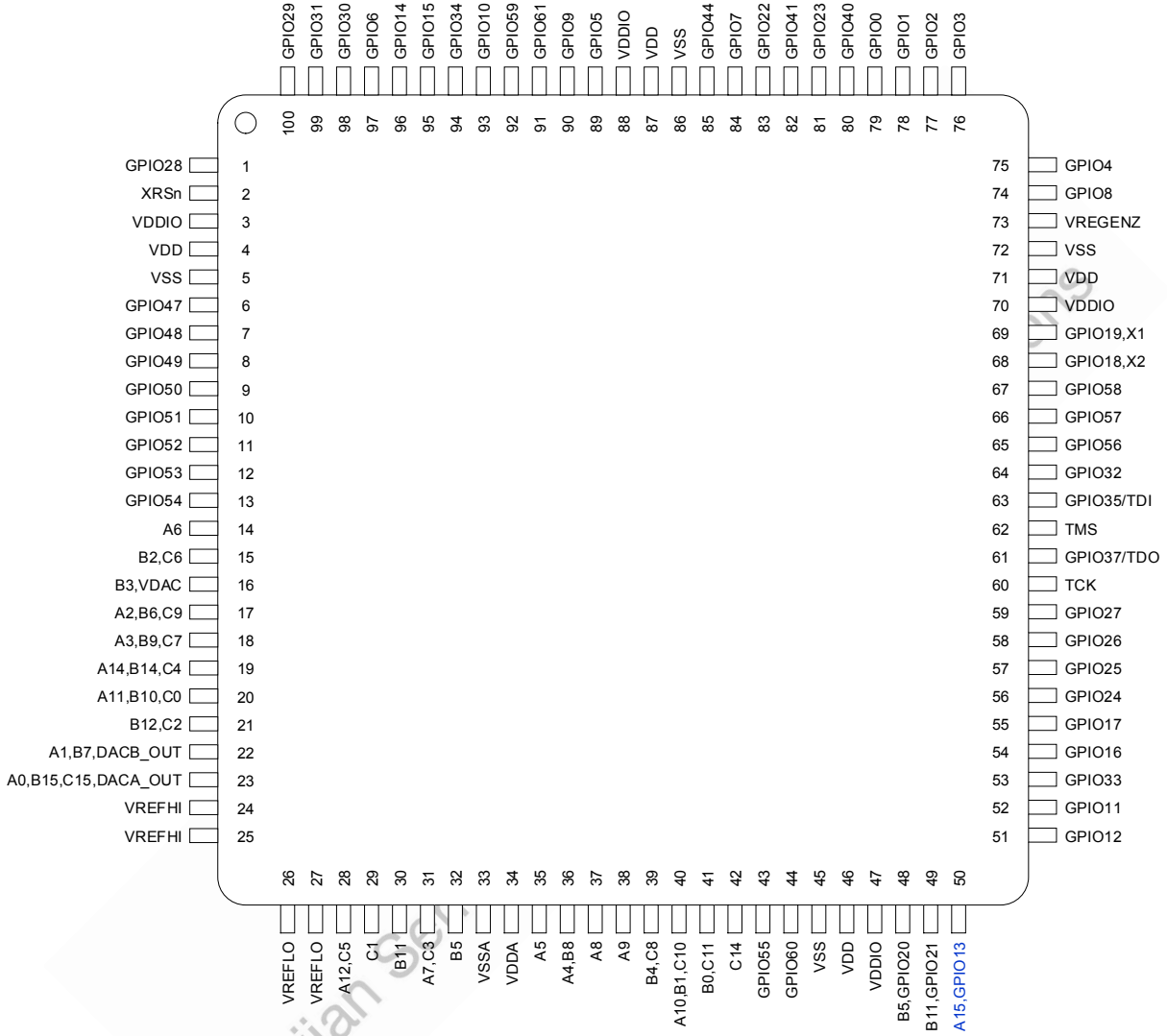


图 5-1. GS32F0039 全系列 100 引脚 LQFP 封装俯视图

5.1.2 LQFP-80 封装引脚分配

下图显示了 GS32F0039 全系列 80 引脚 LQFP 封装上的引脚分配。

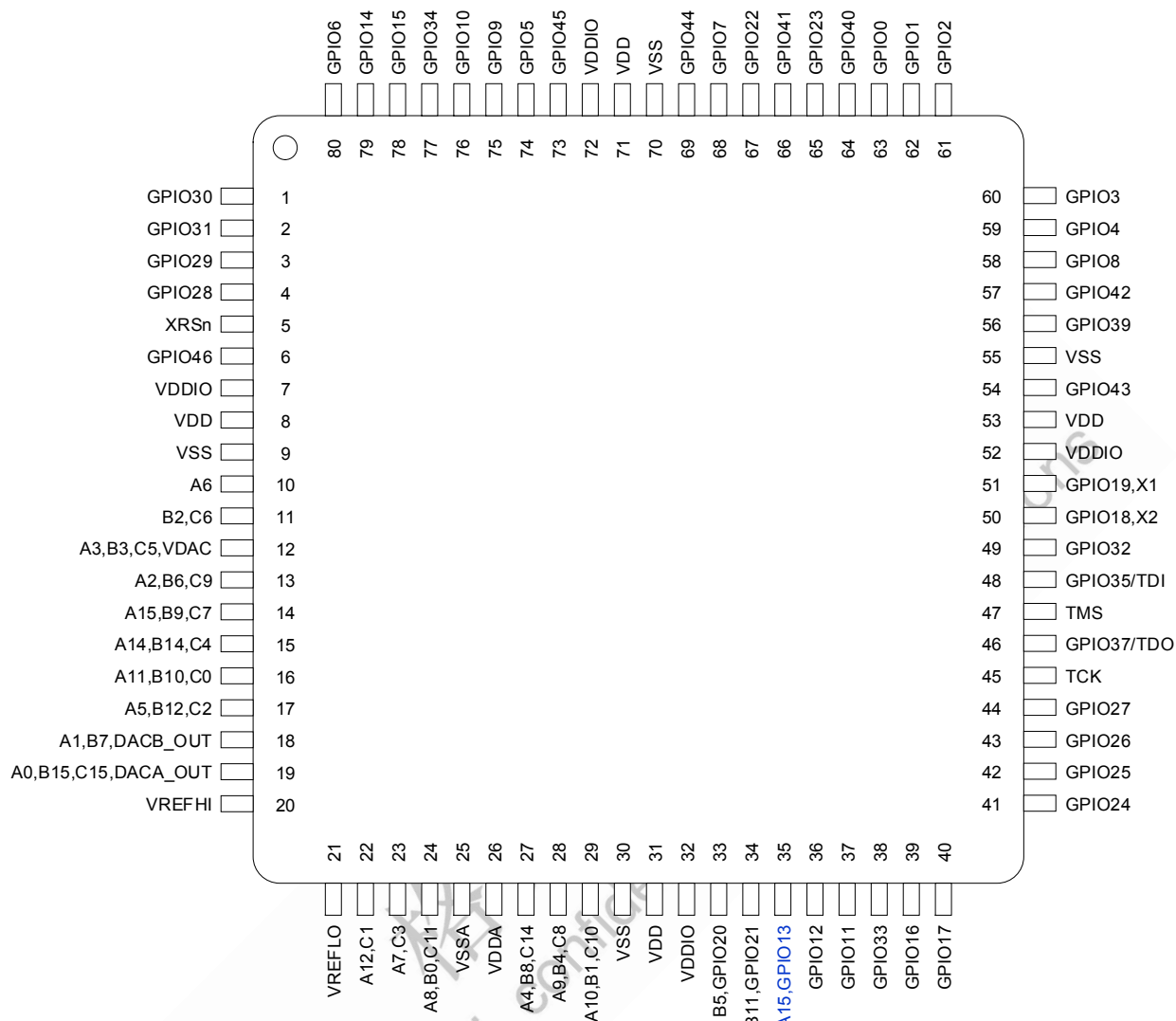


图 5-2. GS32F0039 全系列 80 引脚 LQFP 封装俯视图

5.1.3 LQFP-64 封装引脚分配

下图显示了 GS32F0039 全系列 64 引脚 LQFP 封装 (不含 VREGENZ) 上的引脚分配。

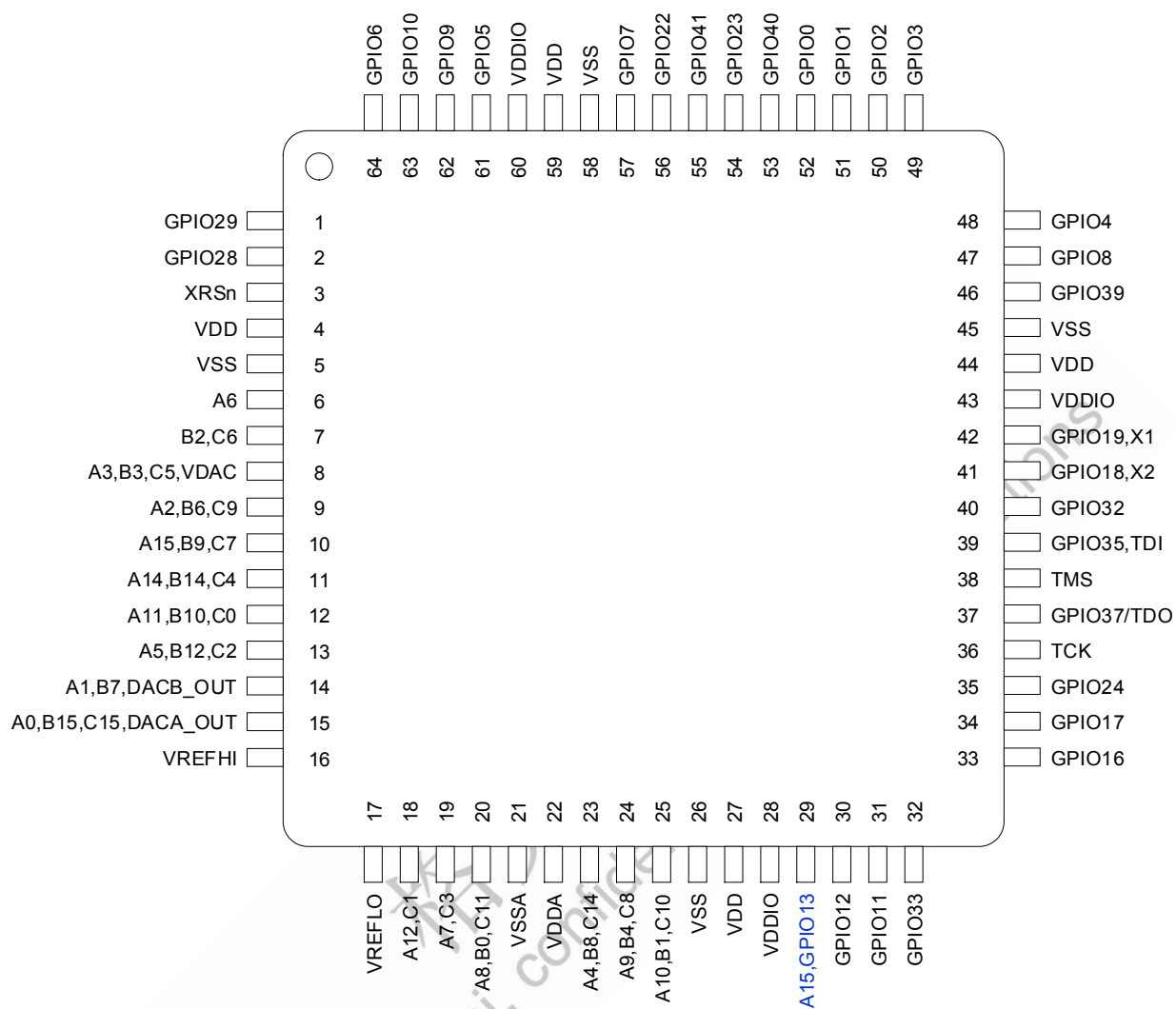


图 5-3. GS32F0039 全系列 64 引脚 LQFP 封装 (不含 VREGENZ) 俯视图

下图显示了 GS32F0039 全系列 64 引脚 LQFP 封装 (含 VREGENZ) 上的引脚分配。

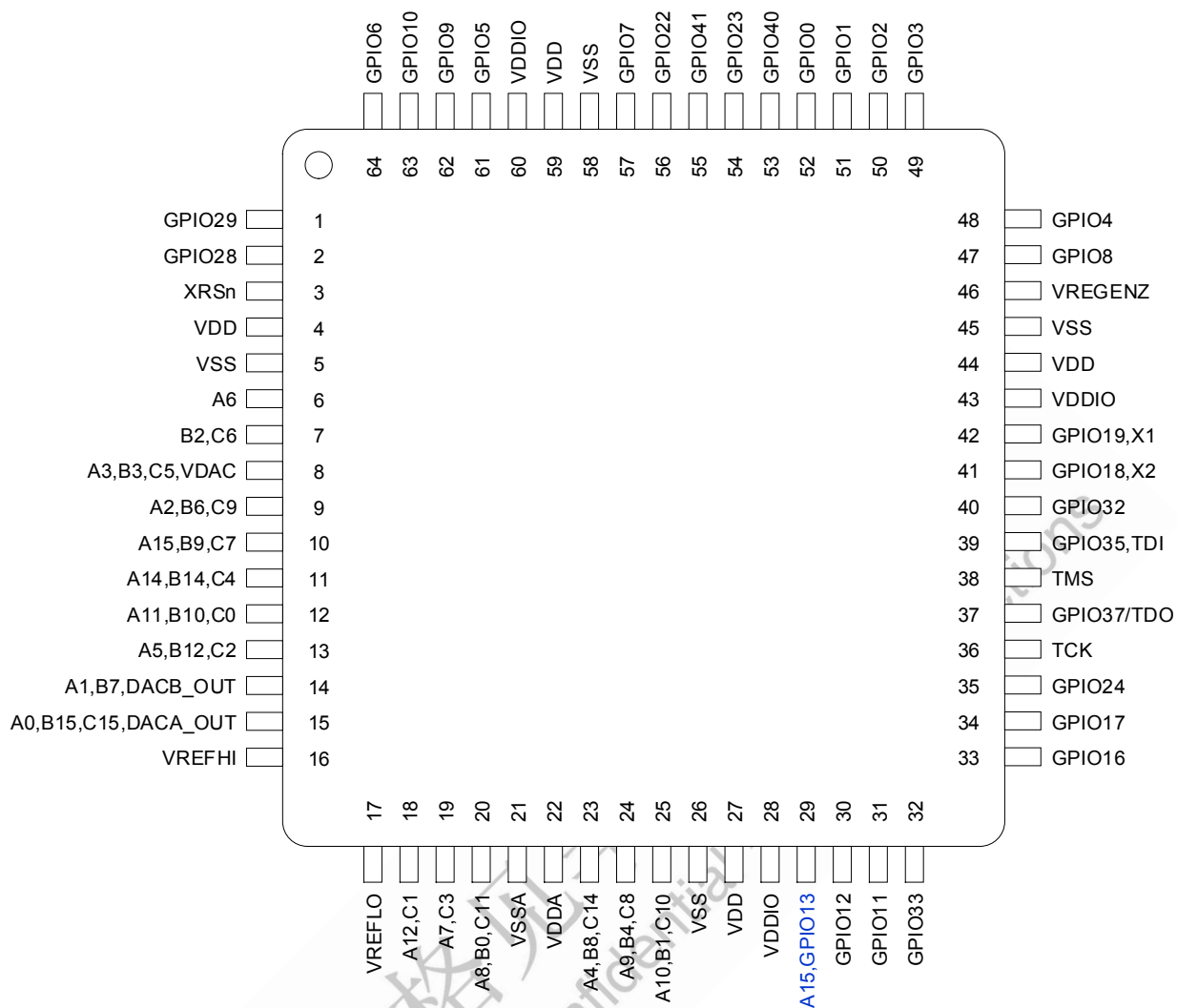


图 5-4. GS32F0039 全系列 64 引脚 LQFP 封装 (含 VREGENZ) 俯视图

5.1.4 LQFP-48 封装引脚分配

下图显示了 GS32F0039 全系列 48 引脚 LQFP 封装上的引脚分配。

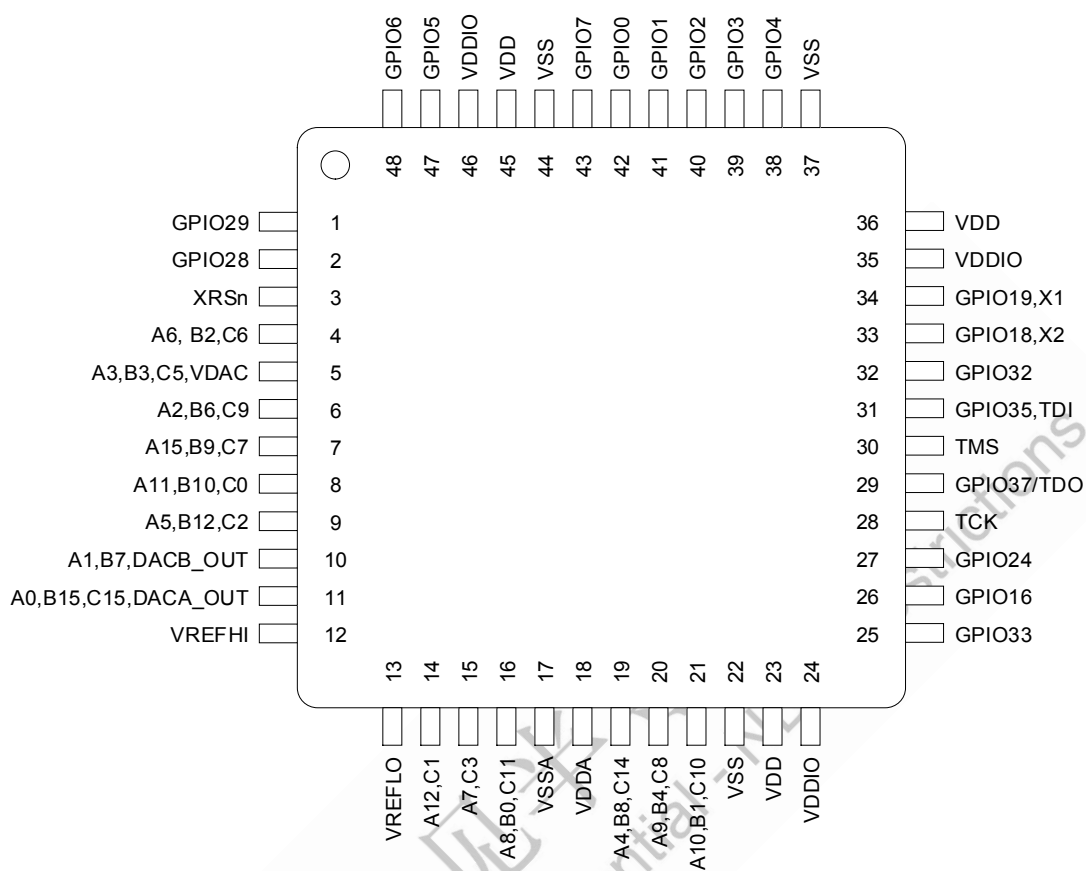


图 5-5. GS32F0039 全系列 48 引脚 LQFP 封装俯视图

5.1.5 HLQFP-128 封装引脚分配

下图显示了 GS32F00399P 型号 128 引脚 HLQFP 封装上的引脚分配。

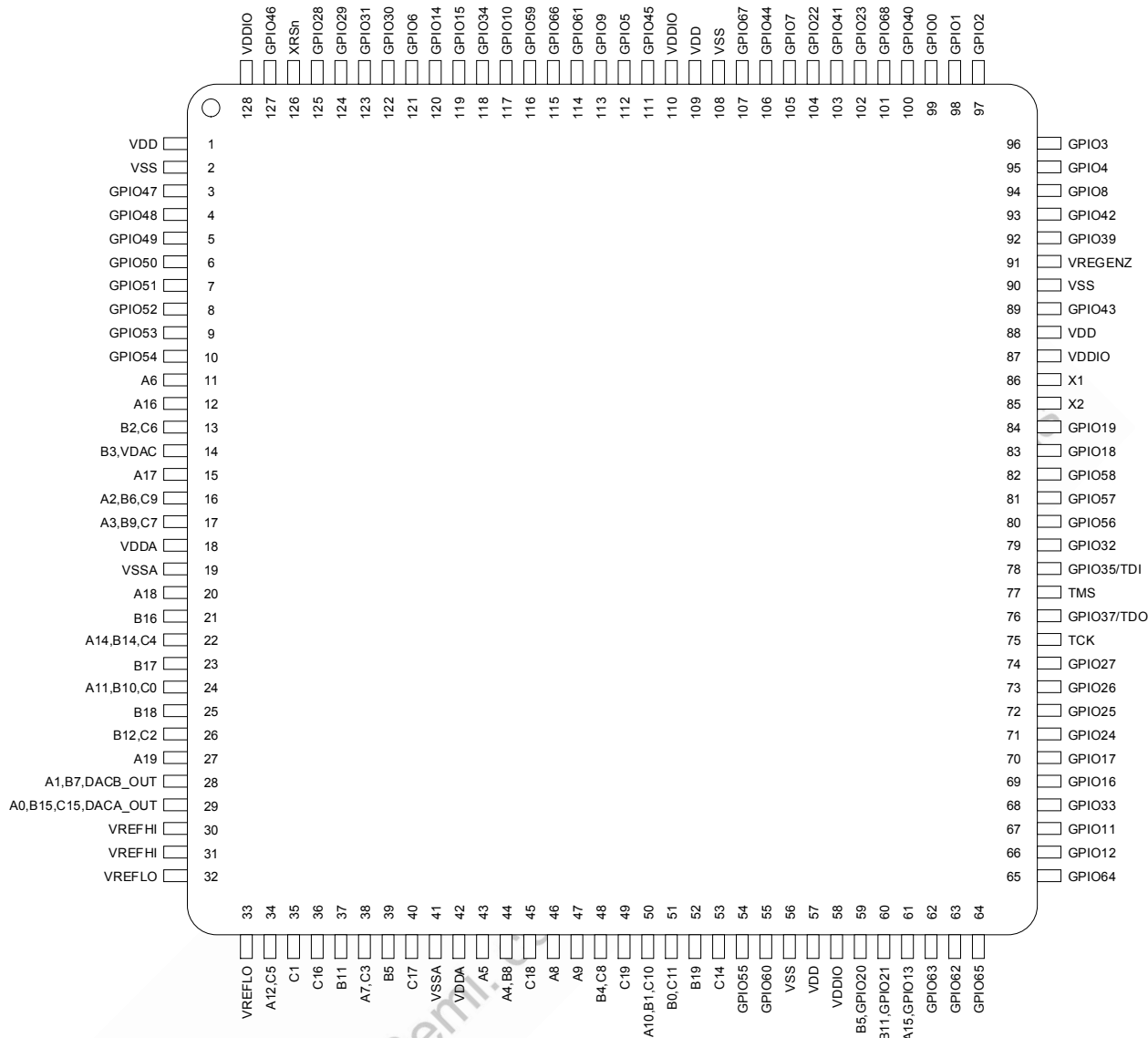


图 5-6. GS32F00399P 128 引脚 HLQFP 封装俯视图

5.2 引脚属性表

5.2.1 GS32F0039/GS32F0039-Q 引脚属性表

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
模拟信号								
A0 B15 C15 CMP3_HP2 CMP3_LP2 DACA_OUT AIO231 SD1_C1	0,4,8,12 2	23	19	15	15	11	 O 	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 CMPSS-3 高比较器正输入 2 CMPSS-3 低比较器正输入 2 缓冲 DAC-A 输出 用于数字输入的模拟引脚 231 SDFM1 时钟输入通道 1
A1 B7 CMP1_HP4 CMP1_LP4 DACB_OUT AIO232 SD1_D4	0,4,8,12 2	22	18	14	14	10	 O 	ADC-A 输入 1 ADC-B 输入 7 CMPSS-1 高比较器正输入 4 CMPSS-1 低比较器正输入 4 缓冲的 DAC-B 输出 用于数字输入的模拟引脚 232 SDFM1 数据输入通道 4
A2 B6 C9 CMP1_HP0 CMP1_LP0 AIO224 SD2_D3	0,4,8,12 2	17	13	9	9	6	 	ADC-A 输入 2 ADC-B 输入 6 ADC-C 输入 9 CMPSS-1 高比较器正输入 0 CMPSS-1 低比较器正输入 0 用于数字输入的模拟引脚 224 SDFM2 数据输入通道 3
A3 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 CMP3_HP5 CMP3_LP5 AIO229	0,4,8,12	18					 	ADC-A 输入 3 CMPSS-1 高比较器负输入 0 CMPSS-1 高比较器正输入 3 CMPSS-1 低比较器负输入 0 CMPSS-1 低比较器正输入 3 CMPSS-3 高比较器正输入 5 CMPSS-3 低比较器正输入 5 用于数字输入的模拟引脚 229
A3 CMP3_HP5 CMP3_LP5			12	8	8	5	 	ADC-A 输入 3 CMPSS-3 高比较器正输入 5 CMPSS-3 低比较器正输入 5
A4 B8 CMP2_HP0 CMP2_LP0 AIO225 SD2_C2	0,4,8,12 2	36	27	23	23	19	 	ADC-A 输入 4 ADC-B 输入 8 CMPSS-2 高比较器正输入 0 CMPSS-2 低比较器正输入 0 用于数字输入的模拟引脚 225 SDFM2 时钟输入通道 2
A5 CMP2_HP5 CMP2_LP5 AIO249	0,4,8,12	35					 	ADC-A 输入 5 CMPSS-2 高比较器正输入 5 CMPSS-2 低比较器正输入 5 用于数字输入的模拟引脚 249
A5 CMP2_HP5 CMP2_LP5			17	13	13	9	 	ADC-A 输入 5 CMPSS-2 高比较器正输入 5 CMPSS-2 低比较器正输入 5
A6 CMP1_HP2 CMP1_LP2 AIO228 SD2_C1	0,4,8,12 2	14	10	6	6	4	 	ADC-A 输入 6 CMPSS-1 高比较器正输入 2 CMPSS-1 低比较器正输入 2 用于数字输入的模拟引脚 228 SDFM2 时钟输入通道 1
A8 CMP4_HP4 CMP4_LP4 AIO240 SD2_C1	0,4,8,12 2	37					 	ADC-A 输入 8 CMPSS-4 高比较器正输入 4 CMPSS-4 低比较器正输入 4 用于数字输入的模拟引脚 240 SDFM2 时钟输入通道 1
A8 CMP4_HP4 CMP4_LP4			24	20	20	16	 	ADC-A 输入 8 CMPSS-4 高比较器正输入 4 CMPSS-4 低比较器正输入 4

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
AIO241 SD2_C1	0,4,8,12 2						 	用于数字输入的模拟引脚 241 SDFM2 时钟输入通道 1
A9 CMP2_HP2 CMP2_LP2 AIO227 SD1_C3	0,4,8,12 2	38	28	24	24	20	 	ADC-A 输入 9 CMPSS-2 高比较器正输入 2 CMPSS-2 低比较器正输入 2 用于数字输入的模拟引脚 227 SDFM1 时钟输入通道 3
A10 B1 C10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 AIO230 SD1_C4	0,4,8,12 2	40	29	25	25	21	 	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 CMPSS-2 高比较器负输入 0 CMPSS-2 高比较器正输入 3 CMPSS-2 低比较器负输入 0 CMPSS-2 低比较器正输入 3 用于数字输入的模拟引脚 230 SDFM1 时钟输入通道 4
A11 B10 C0 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 AIO237 SD1_D2	0,4,8,12 2	20	16	12	12	8	 	ADC-A 输入 11 ADC-B 输入 10 ADC-C 输入 0 CMPSS-1 高比较器负输入 1 CMPSS-1 高比较器正输入 1 CMPSS-1 低比较器负输入 1 CMPSS-1 低比较器正输入 1 用于数字输入的模拟引脚 237 SDFM1 数据输入通道 2
A12 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 AIO238 SD2_C3	0,4,8,12 2	28	22	18	18	14	 	ADC-A 输入 12 CMPSS-2 高比较器负输入 1 CMPSS-2 高比较器正输入 1 CMPSS-2 低比较器负输入 1 CMPSS-2 低比较器正输入 1 用于数字输入的模拟引脚 238 SDFM2 时钟输入通道 3
A14 B14 C4 CMP3_HP4 CMP3_LP4 AIO239 SD1_D1	0,4,8,12 2	19	15	11	11		 	ADC-A 输入 14 ADC-B 输入 14 ADC-C 输入 4 CMPSS-3 高比较器正输入 4 CMPSS-3 低比较器正输入 4 用于数字输入的模拟引脚 239 SDFM1 数据输入通道 1
A15 GPIO13	0,4,8,12	50					 I/O	ADC-A 输入 15 通用输入输出 13。该引脚还具有数字多路复用器功能。如本表的 GPIO 部分所述。
A15 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 AIO233 SD2_D1	0,4,8,12 2		14	10	10	7	 	ADC-A 输入 15 CMPSS-1 高比较器负输入 0 CMPSS-1 高比较器正输入 3 CMPSS-1 低比较器负输入 0 CMPSS-1 低比较器正输入 3 用于数字输入的模拟引脚 233 SDFM2 数据输入通道 1
B0 C11 CMP2_HP4 CMP2_LP4 AIO253	0,4,8,12	41					 	ADC-B 输入 0 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-2 低比较器正输入 4 用于数字输入的模拟引脚 253
B0 C11 CMP2_HP4 CMP2_LP4			24	20	20	16	 	ADC-B 输入 0 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-2 低比较器正输入 4
B2 C6 CMP3_HP0 CMP3_LP0 AIO226 SD2_D4	0,4,8,12 2	15	11	7	7	4	 	ADC-B 输入 2 ADC-C 输入 6 CMPSS-3 高比较器正输入 0 CMPSS-3 低比较器正输入 0 用于数字输入的模拟引脚 226 SDFM2 数据输入通道 4

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
B3 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 VDAC AIO242 SD2_D2	0,4,8,12 2	16	12	8	8	5	 	ADC-B 输入 3 CMPSS-3 高比较器负输入 0 CMPSS-3 高比较器正输入 3 CMPSS-3 低比较器负输入 0 CMPSS-3 低比较器正输入 3 片上 DAC 的可选外部参考电压 用于数字输入的模拟引脚 242 SDFM2 数据输入通道 2
B4 C8 CMP4_HP0 CMP4_LP0 AIO236	0,4,8,12	39	28	24	24	20	 	ADC-B 输入 4 ADC-C 输入 8 CMPSS-4 高比较器正输入 0 CMPSS-4 低比较器正输入 0 用于数字输入的模拟引脚 236
B5 CMP1_HP5 CMP1_LP5 AIO252 SD2_C4	0,4,8,12 2	32					 	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 用于数字输入的模拟引脚 252 SDFM2 时钟输入通道 4
B5 CMP1_HP5 CMP1_LP5 GPIO20	0,4,8,12	48	33				 I/O	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 通用输入输出 20。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B11 CMP4_HP5 CMP4_LP5 AIO251	0,4,8,12	30					 	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 用于数字输入的模拟引脚 251
B11 CMP4_HP5 CMP4_LP5 GPIO21	0,4,8,12	49	34				 I/O	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 通用输入输出 21。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B12 C2 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AIO244 SD1_D3	0,4,8,12 2	21	17	13	13	9	 	ADC-B 输入 12 ADC-C 输入 2 CMPSS-3 高比较器负输入 1 CMPSS-3 高比较器正输入 1 CMPSS-3 低比较器负输入 1 CMPSS-3 低比较器正输入 1 用于数字输入的模拟引脚 244 SDFM1 数据输入通道 3
C1 CMP4_HP2 CMP4_LP2 AIO248	0,4,8,12	29	22	18	18	14	 	ADC-C 输入 1 CMPSS-4 高比较器正输入 2 CMPSS-4 低比较器正输入 2 用于数字输入的模拟引脚 248
C3 A7 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 AIO245 SD1_C2	0,4,8,12 2	31	23	19	19	15	 	ADC-C 输入 3 ADC-A 输入 7 CMPSS-4 高比较器负输入 1 CMPSS-4 高比较器正输入 1 CMPSS-4 低比较器负输入 1 CMPSS-4 低比较器正输入 1 用于数字输入的模拟引脚 245 SDFM1 时钟输入通道 2
C5		28	12	8	8	5	 	ADC-C 输入 5
C7 B9		18	14	10	10	7	 	ADC-C 输入 7 ADC-B 输入 9
C14 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3 AIO247	0,4,8,12	42					 	ADC-C 输入 14 CMPSS-4 高比较器负输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 低比较器负输入 0 CMPSS-4 低比较器正输入 3 用于数字输入的模拟引脚 247
C14 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3			27	23	23	19	 	ADC-C 输入 14 CMPSS-4 高比较器负输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 低比较器负输入 0 CMPSS-4 低比较器正输入 3

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
VREFHI		24, 25	20	16	16	12	I	ADC-高参考。外部参考模式，该引脚提供外部驱动的高参考电压。内部参考模式，该引脚提供器件的驱动电压。任意模式，均需在引脚上至少放置 2.2uF 电容。该电容应放置在靠近 VREFHI 与 VREFLO 引脚间。
VREFLO		26, 27	21	17	17	13	I	ADC-低参考
GPIO								
GPIO0 EPWM1_A OUTPUTXBAR9 I2CA_SDA SPIA_STE CANB_RX CLB_OUTPUTXBAR8 EQEP1_INDEX QSPI_IO0	0,4,8,12 1 2 6 7 10 11 13 15	79	63	52	52	42	I/O O O I/OD I/O I O I/O I/O	通用输入输出 0 ePWM-1 输出 A 输出 X-BAR 输出 9 I2C-A 开漏双向数据 SPI-A 从机发送使能 (STE) CAN-B 接收 CLB 输出 X-BAR 输出 8 eQEP-1 索引 QSPI 输入输出 0
GPIO1 EPWM1_B OUTPUTXBAR10 I2CA_SCL SPIA_SOMI CANB_TX CLB_OUTPUTXBAR7 CANA_STBY QSPI_IO1	0,4,8,12 1 2 6 7 10 11 14 15	78	62	51	51	41	I/O O O I/OD I/O O O O I/O	通用输入输出 1 ePWM-1 输出 B 输出 X-BAR 输出 10 I2C-A 开漏双向时钟 SPI-A 从机输入, 主机输入 (SOMI) CAN-B 发送 CLB 输出 X-BAR 输出 7 CAN-A 待机模式输出 QSPI 输入输出 1
GPIO2 EPWM2_A OUTPUTXBAR1 PMBUSA_SDA SPIA_SIMO SCIA_TX I2CB_SDA QSPI_IO2 CANA_TX CLB_OUTPUTXBAR9	0,4,8,12 1 5 6 7 9 11 13 14 15	77	61	50	50	40	I/O O O I/OD I/O O I/OD I/O O O	通用输入输出 2 ePWM-2 输出 A 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 SPI-A 从机输入, 主机输出 (SIMO) SCIA 发送数据 I2C-B 开漏双向数据 QSPI 输入输出 2 CAN-A 发送 CLB 输出 XBAR9
GPIO3 EPWM2_B OUTPUTXBAR2 PMBUSA_SCL SPIA_CLK SCIA_RX I2CB_SCL QSPI_IO3 CANA_RX CLB_OUTPUTXBAR10	0,4,8,12 1 2,5 6 7 9 11 13 14 15	76	60	49	49	39	I/O O O I/OD I/O I I/OD I/O I O	通用输入输出 3 ePWM-2 输出 B 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SPI-A 时钟 SCIA 接收数据 I2C-B 开漏双向时钟 QSPI 输入输出 3 CAN-A 接收 CLB 输出 XBAR10
GPIO4 EPWM3_A CANB_TX OUTPUTXBAR3 CANA_TX SPIB_CLK EQEP2_STROBE CLB_OUTPUTXBAR6 CANB_STBY QSPI_CLK	0,4,8,12 1 3 5 6 7 9 11 14 15	75	59	48	48	38	I/O O O O O I/O I/O O O O	通用输入输出 4 ePWM-3 输出 A CAN-B 发送 输出 X-BAR 输出 3 CAN-A 发送 SPI-B 时钟 eQEP-2 选通 CLB 输出 X-BAR 输出 6 CAN-B 待机模式输出 QSPI 输出时钟
GPIO5 EPWM3_B OUTPUTXBAR3 CANB_RX CANA_RX SPIA_STE CLB_OUTPUTXBAR5	0,4,8,12 1 3 5 6 7 10	89	74	61	61	47	I/O O O I I I/O O	通用输入输出 5 ePWM-3 输出 B 输出 X-BAR 输出 3 CAN-B 接收 CAN-A 接收 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 5

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO6 EPWM4_A OUTPUTXBAR4 SYNCOU EQEP1_A CANB_TX SPIB_SOMI CLB_OUTPUTXBAR8 QSPI_IO0	0,4,8,12 1 2 3 5 6 7 14 15	97	80	64	64	48	I/O O O O I O I/O O I/O	通用输入输出 6 ePWM-4 输出 A 输出 X-BAR 输出 4 外部 ePWM 同步脉冲 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输出, 主机输入 (SOMI) CLB 输出 X-BAR 输出 8 QSPI 输入输出 0
GPIO7 EPWM4_B OUTPUTXBAR5 EQEP1_B CANB_RX SPIB_SIMO CLB_OUTPUTXBAR2	0,4,8,12 1 3 5 6 7 10	84	68	57	57	43	I/O O O I I I/O O	通用输入输出 7 ePWM-4 输出 B 输出 X-BAR 输出 5 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输入, 主机输出 (SIMO) CLB 输出 X-BAR 输出 2
GPIO8 EPWM5_A CANB_TX ADCSOAO EQEP1_STROBE SCIA_TX SPIA_SIMO I2CA_SCL CLB_OUTPUTXBAR5 QSPI_CS	0,4,8,12 1 2 3 5 6 7 9 11 15	74	58	47	47		I/O O O O I/O O I/O I/OD O O	通用输入输出 8 ePWM-5 输出 A CAN-B 发送 外部 ADC 的 ADC 转换 A 开始 eQEP-1 选通 SCI-A 发送数据 SPI-A 从机输入, 主机输出 (SIMO) I2C-A 开漏双向时钟 CLB 输出 X-BAR 输出 5 QSPI 输出片选
GPIO9 EPWM5_B SCIB_TX OUTPUTXBAR6 EQEP1_INDEX SCIA_RX SPIA_CLK LINB_RX I2CB_SCL CLB_OUTPUTXBAR11	0,4,8,12 1 2 3 5 6 7 11 14 15	90	75	62	62		I/O O O O I/O I I/O I I/OD O	通用输入输出 9 ePWM-5 输出 B SCIB 发送 输出 X-BAR 输出 6 eQEP-1 索引 SCI-A 接收数据 SPI-A 时钟 LIN-B 接收 I2C-B 开漏双向时钟 CLB 输出 XBAR11
GPIO10 EPWM6_A CANB_RX ADCSOAO EQEP1_A SCIB_TX SPIA_SOMI I2CA_SDA LINB_TX CLB_OUTPUTXBAR4	0,4,8,12 1 2 3 5 6 7 9 11 15	93	76	63	63		I/O O I O O I I/O I/OD O O	通用输入输出 10 ePWM-6 输出 A CAN-B 接收 外部 ADC 的 ADC 转换 B 开始 eQEP-1 输入 A SCI-B 发送数据 SPI-A 从机输出, 主机输入 (SOMI) I2C-A 开漏双向数据 LIN-B 发送 CLB 输出 X-BAR 输出 4
GPIO11 EPWM6_B SCIB_RX OUTPUTXBAR7 EQEP1_B SCIB_RX SPIA_STE LINB_RX EQEP2_A SPIA_SIMO CLB_OUTPUTXBAR12	0,4,8,12 1 2 3 5 6 7 10 11 13 15	52	37	31	31		I/O O I O I I I/O I I I/O O	通用输入输出 11 ePWM-6 输出 B SCIB 接收 输出 X-BAR 输出 7 eQEP-1 输入 B SCI-B 接收数据 SPI-A 从机发送使能 (STE) LIN-B 接收 eQEP-2 输入 A SPI-A 从机输入, 主机输出 (SIMO) CLB 输出 XBAR12
GPIO12 EPWM7_A CANB_TX CANB_RX EQEP1_STROBE SCIB_TX PMBUS_A_CTL LINB_TX SPIA_CLK CANB_RX CLB_OUTPUTXBAR9	0,4,8,12 1 2 3 5 6 7 10 11 13 15	51	36	30	30		I/O O O I I/O O I/O O I/O I O	通用输入输出 12 ePWM-7 输出 A CAN-B 发送 CAN-B 接收 eQEP-1 选通 SCI-B 发送数据 PMBus-A 控制信号-从机输入/主机输出 LIN-B 发送 SPI-A 时钟 CAN-A 接收

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
								CLB 输出 XBAR9
GPIO13 EPWM7_B CANB_RX CANB_TX EQEP1_INDEX SCIB_RX PMBUSA_ALERT LINB_RX SPIA_SOMI CANA_TX CLB_OUTPUTXBAR10	0,4,8,12 1 2 3 5 6 7 10 11 13 15	50	35	29	29		I/O O I O I/O I I/OD I I/O O O	通用输入输出 13 ePWM-7 输出 B CAN-B 接收 CAN-B 发送 eQEP-1 索引 SCI-B 接收数据 PMBus-A 开漏双向报警 LIN-B 接收 SPI0 从机输出, 主机输入 (SOMI) CAN-A 发送 CLB 输出 XBAR 输出 10
GPIO14 EPWM8_A SCIB_TX I2CB_SDA OUTPUTXBAR3 PMBUSA_SDA SPIB_CLK EQEP2_A LINB_TX EPWM3_A CLB_OUTPUTXBAR7 QSPI_CS	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15	96	79				I/O O O I/OD O I/OD I/O I O O O O	通用输入输出 14 ePWM-8 输出 A SCI-B 发送数据 I2C-1 开漏双向数据 输出 X-BAR 输出 3 PMBus-A 开漏双向数据 SPI-B 时钟 eQEP-2 输入 A LIN-B 发送 ePWM-3 输出 A CLB 输出 X-BAR 输出 7 QSPI 片选输出
GPIO15 EPWM8_B SCIB_RX I2CB_SCL OUTPUTXBAR4 PMBUSA_SCL SPIB_STE EQEP2_B LINB_RX EPWM3_B CLB_OUTPUTXBAR6 QSPI_CLK	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15	95	78				I/O O I I/OD O I/OD I/O I I O O	通用输入输出 15 ePWM-8 输出 B SCI-B 接收数据 I2C-B 开漏双向时钟 输出 X-BAR 输出 4 PMBus-A 开漏双向时钟 SPI-B 从机发送使能 (STE) eQEP-2 输入 B LIN-B 接收 ePWM-3 输出 B CLB 输出 X-BAR 输出 6 QSPI 时钟输出
GPIO16 SPIA_SIMO CANB_TX OUTPUTXBAR7 EPWM5_A SCIA_TX SD1_D1 EQEP1_STROBE PMBUSA_SCL XCLKOUT EQEP2_B SPIB_SOMI	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14	54	39	33	33	26	I/O I/O O O O O I I/O I/OD O I I/O	通用输入输出 16 SPI-A 从机输入, 主机输出 (SIMO) CAN-B 发送 输出 X-BAR 输出 7 ePWM-5 输出 A SCI-A 发送数据 SDFM-1 通道数据输入 eQEP-1 选通 PMBus-A 开漏双向时钟 外部时钟输出。该引脚输出器件内部所选时钟信号的分频版本。 eQEP-2 输入 B SPI-B 从机输出, 主机输入 (SOMI)
GPIO17 SPIA_SOMI CANB-RX OUTPUTXBAR8 EPWM5_B SCIA_RX SD1_C1 EQEP1_INDEX PMBUSA_SDA CANA_TX	0,4,8,12 1 2 3 5 6 7 9 10 11	55	40	34	34		I/O I/O I O O I I I/O I/OD O	通用输入输出 17 SPI-A 从机输出, 主机输入 (SOMI) CAN-B 接收 输出 X-BAR 输出 8 ePWM-5 输出 B SCI-A 接收数据 SDFM-1 通道 1 时钟输入 eQEP-1 索引 PMBus-A 开漏双向数据 CAN-A 发送

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO18 SPIA_CLK SCIB_TX CANA_RX EPWM6_A I2CA_SCL SD1_D2 EQEP2_A PMBUSA_CTL XCLKOUT LINB_TX X2	0,4,8,12 1 2 3 5 6 7 9 10 11 13 ALT	68	50	41	41	33	I/O I/O O I O I/OD I I I/O O O I/O	通用输入输出 18 SPI-A 时钟 SCI-B 发送数据 CAN-A 接收 ePWM-6 输出 A I2C-A 开漏双向时钟 SDFM-1 通道 2 数据输入 eQEP-2 输入 A PMBus-A 控制信号-从机输入/主机输出 外部时钟输出。该引脚输出器件内部所选时钟 信号的分频版本。 LIN-B 发送 晶体振荡器输出
GPIO19 SPIA_STE SCIB_RX CANA_TX EPWM6_B I2CA_SDA SD1_C2 EQEP2_B PMBUSA_ALERT CLB_OUTPUTXBAR1 LINB_RX X1	0,4,8,12 1 2 3 5 6 7 9 10 11 13 ALT	69	51	42	42	34	I/O I/O I O O I/OD I I I/OD O I I/O	通用输入输出 19 SPI-A 从机发送使能 (STE) SCI-B 接收数据 CAN-A 发送 ePWM-6 输出 B I2C-A 开漏双向数据 SDFM-1 通道 2 时钟输入 eQEP-2 输入 B PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 1 LIN-B 接收 晶体振荡器输入或单端时钟输入
GPIO20 EQEP1_A OUTPUTXBAR9 SPIB_SIMO SD1_D3 CANB_TX	0,4,8,12 1 5 6 7 9	48	33				I/O I O I/O I O	通用输入输出 20(AGPIO) eQEP-1 输入 A 输出 X-BAR 输出 9 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 3 数据输入 CAN-B 发送
GPIO21 EQEP1_B OUTPUTXBAR10 SPIB_SOMI SD1-C3 CANB_RX	0,4,8,12 1 5 6 7 9	49	34				I/O I O I/O I I	通用输入输出 21 (AGPIO) eQEP-1 输入 B 输出 X-BAR 输出 9 SPI1-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 3 时钟输入 CAN-B 接收
GPIO22 EQEP1_STROBE SCIB_TX OUTPUTXBAR11 SPIB_CLK SD1_D4 LINA_TX CLB_OUTPUTXBAR1 LINB_TX EPWM4_A	0,4,8,12 1 3 5 6 7 9 10 11 14	83	67	56	56		I/O I/O O O I/O I O O O O	通用输入输出 22 eQEP-1 选通 SCI-B 发送数据 输出 X-BAR 输出 11 SPI-B 时钟 SDFM-1 通道 4 数据输入 LIN-A 发送 CLB 输出 X-BAR 输出 1 LIN-B 发送 ePWM-4 输出 A
GPIO23 EQEP1_INDEX SCIB_RX OUTPUTXBAR12 SPIB_STE SD1_C4 LINA_RX CLB_OUTPUTXBAR3 LINB_RX EPWM4_B	0,4,8,12 1 3 5 6 7 9 10 11 14	81	65	54	54		I/O I/O I O I/O I I O I O	通用输入输出 23 eQEP-1 索引 SCI-B 接收数据 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) SDFM-1 通道 4 时钟输入 LIN-A 接收 CLB 输出 X-BAR 输出 3 LIN-B 接收 ePWM-4 输出 B
GPIO24 OUTPUTXBAR1 EQEP2_A QSPI_IO0 EPWM8_A SPIB_SIMO SD2_D1 LINA_TX PMBUSA_SCL SCIA_TX ERRORSTS	0,4,8,12 1 2 3 5 6 7 9 10 11 13	56	41	35	35	27	I/O O I I/O O I/O I O I/OD O O	通用输入输出 24 输出 X-BAR 输出 1 eQEP-2 输入 A QSPI 数据输入输出 0 ePWM-8 输出 A SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 1 数据输入 LIN-A 发送 PMBus-A 开漏双向时钟 SCI-A 发送数据

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
CANA_STBY	14						O	错误状态输出。该信号需要外部下拉。 CAN-A 待机模式输出
GPIO25 OUTPUTXBAR2 EQEP2_B QSPI_IO1 EQEP1_A SPIB_SOMI SD2_C1 PMBUSA_SDA SCIA_RX	0,4,8,12 1 2 3 5 6 7 10 11	57	42				I/O O I I/O I I/O I I/OD I	通用输入输出 25 输出 X-BAR 输出 2 eQEP-2 输入 B QSPI 数据输入 1 eQEP-1 输入 A SPI-B 从机输出, 主机输入 (SOMI) SDFM-2 通道 1 时钟输入 PMBus-A 开漏双向数据 SCIA-A 接收数据
GPIO26 OUTPUTXBAR3 EQEP2_INDEX QSPI_IO2 SPIB_CLK SD2_D2 PMBUSA_CTL I2CA_SDA	0,4,8,12 1,5 2 3 6 7 10 11	58	43				I/O O I/O I/O I/O I I/O I/OD	通用输入输出 26 输出 X-BAR 输出 3 eQEP-2 索引 QSPI 数据输入 2 SPI-B 时钟 SDFM-2 通道 2 数据输入 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向时钟
GPIO27 OUTPUTXBAR4 EQEP2_STROBE QSPI_IO3 SPIB_STE SD2_C2 PMBUSA_ALERT I2CA_SCL	0,4,8,12 1,5 2 3 6 7 10 11	59	44				I/O O I/O I/O I/O I I/OD I/OD	通用输入输出 27 输出 X-BAR 输出 4 eQEP-2 选通 QSPI 数据输入 3 SPI-B 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟
GPIO28 SCIA_RX OUTPUTXBAR9 EPWM7_A OUTPUTXBAR5 EQEP1_A SD2_D3 EQEP2_STROBE LINA_TX SPIB_CLK ERRORSTS I2CB_SDA	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14	1	4	2	2	2	I/O I O O O I I I/O O I/O O O I/OD	通用输入输出 28 SCIA-A 接收数据 输出 X-BAR 输出 9 ePWM-7 输出 A 输出 X-BAR 输出 5 eQEP-1 输入 A SDFM-2 通道 3 数据输入 eQEP-2 选通 LIN-A 发送 SPI-B 时钟 错误状态输出。该信号需要外部下拉。 I2C-B 开漏双向数据
GPIO29 SCIA_TX OUTPUTXBAR10 EPWM7_B OUTPUTXBAR6 EQEP1_B SD2_C3 EQEP2_INDEX LINA_RX SPIB_STE ERRORSTS I2CB_SCL AUXCLKIN	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 ALT	100	3	1	1	1	I/O O O O O I I I/O I I/O O I/OD I	通用输入输出 29 SCIA-A 发送数据 输出 X-BAR 输出 10 ePWM-7 输出 B 输出 X-BAR 输出 6 eQEP-1 输入 B SDFM-2 通道 3 时钟输入 eQEP-2 索引 LIN-A 接收 SPI-B 从机发送使能 (STE) 错误状态输出。该信号需要外部下拉。 I2C-B 开漏双向时钟 Aux. 时钟输入
GPIO30 CANA_RX OUTPUTXBAR11 SPIB_SIMO OUTPUTXBAR7 EQEP1_STROBE SD2_D4 CANB_RX EPWM1_A QSPI_IO1	0,4,8,12 1 2 3 5 6 7 10 11 13	98	1				I/O I O I/O O I/O I I O I/O	通用输入输出 30 CAN-A 接收 输出 X-BAR 输出 11 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 7 eQEP-1 选通 SDFM-2 通道 4 数据输入 CAN-B 接收 ePWM-1 输出 A QSPI 数据输入 1

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO31 CAN_A_TX OUTPUTXBAR12 SPIB_SOMI OUTPUTXBAR8 EQEP1_INDEX SD2_C4 CANB_TX EPWM1_B QSPI_IO2	0,4,8,12 1 2 3 5 6 7 10 11 13	99	2				I/O O O I/O O I/O I O O I/O	通用输入输出 31 CAN-A 发送 输出 X-BAR 输出 12 SPI-B 从机输出, 主机输入 (SOMI) 输出 X-BAR 输出 8 eQEP-1 索引 SDFM-2 通道 4 时钟输入 CAN-B 发送 ePWM-1 输出 B QSPI 数据输入 2
GPIO32 I2CA_SDA QSPI_CLK SPIB_CLK EPWM8_B LINA_TX SD1_D2 CAN_A_TX PMBUSA_SDA ADCSOCBO CANB_STBY	0,4,8,12 1 2 3 5 6 7 10 11 13 14	64	49	40	40	32	I/O I/OD O I/O O O I O I/OD O O	通用输入输出 32 I2C-A 开漏双向数据 QSPI 时钟输入 SPI-B 时钟 ePWM-8 输出 B LIN-A 发送 SDFM-1 通道 2 数据输入 CAN-A 发送 PMBus-A 开漏双向数据 外部 ADC 的 ADC 转换 B 开始 CAN-B 待机模式输出
GPIO33 I2CA_SCL OUTPUTXBAR12 SPIB_STE OUTPUTXBAR4 LINA_RX SD1_C2 CAN_A_RX EQEP2_B ADCSOCAO SD1_C1	0,4,8,12 1 2 3 5 6 7 10 11 13 14	53	38	32	32	25	I/O I/OD O I/O O I I I O I	通用输入输出 33 I2C-A 开漏双向时钟 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) 输出 X-BAR 输出 4 LIN-A 接收 SDFM-1 通道 2 时钟输入 CAN-A 接收 eQEP-2 输入 B 外部 ADC 的 ADC 转换 A 开始 SDFM-1 通道 1 时钟输入
GPIO34 OUTPUTXBAR1 PMBUSA_SDA QSPI_IO3 I2C1_SDA	0,4,8,12 1 6 13 14	94	77				I/O O I/OD I/O I/OD	通用输入输出 34 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 QSPI 数据输入 3 I2C1 开漏双向数据
GPIO35 SCIA_RX QSPI_CS I2CA_SDA CAN_A_RX PMBUSA_SCL LINA_RX EQEP1_A PMBUSA_CTL EPWM5_B SD2_C1 CLB_OUTPUTXBAR11 TDI	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	63	48	39	39	31	I/O I O I/OD I I/OD I I I/O O I O I	通用输入输出 35 SCI-A 接收数据 QSPI 片选输出 I2C-A 开漏双向数据 CAN-A 接收 PMBus-A 开漏双向时钟 LIN-A 接收 eQEP-1 输入 A PMBus-A 控制信号-从机输入/主机输出 ePWM-5 输出 B SDFM-2 通道 1 时钟输入 CLB 输出 XBAR 输出 11 JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。
GPIO37 OUTPUTXBAR2 I2CA_SCL SCIA_TX CAN_A_TX LINA_TX EQEP1_B PMBUSA_ALERT CLB_OUTPUTXBAR12 TDO	0,4,8,12 1 3 5 6 7 9 10 14 15	61	46	37	37	29	I/O O I/OD O O O I I/OD O O	通用输入输出 37 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 SCI-A 发送数据 CAN-A 发送 LIN-A 发送 eQEP-1 输入 B PMBus-A 开漏双向报警 CLB 输出 XBAR 输出 12 JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO39 OUTPUTXBAR9 CANB_RX EQEP2_INDEX CLB_OUTPUTXBAR2 SYNCOUT EQEP1_INDEX	0,4,8,12 2 6 9 11 13 14		56	46			I/O O I I/O O O I/O	通用输入输出 39 输出 X-BAR 输出 9 CAN-B 接收 eQEP-2 索引 CLB 输出 X-BAR 输出 2 外部 ePWM 同步脉冲 eQEP-1 索引
GPIO40 SPIB_SIMO OUTPUTXBAR10 EPWM2_B PMBUSA_SDA SCIB_TX EQEP1_A LINB_TX	0,4,8,12 1 2 5 6 9 10 11	80	64	53	53		I/O I/O O O I/OD O I O	通用输入输出 40 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 10 ePWM-2 输出 B PMBus-A 开漏双向数据 SCI-B 发送数据 eQEP-1 输入 A LIN-B 发送
GPIO41 OUTPUTXBAR11 EPWM2_A PMBUSA_SCL SCIB_RX EQEP1_B LINB_RX SPI1_SOMI	0,4,8,12 2 5 6 9 10 11 14	82	66	55	55		I/O O O I/OD I I I I/O	通用输入输出 41 输出 X-BAR 输出 11 ePWM-2 输出 A PMBus-A 开漏双向时钟 SCI-B 接收数据 eQEP-1 输入 B LIN-B 接收 SPI-B 从机输出, 主机输入 (SOMI)
GPIO42 LINA_RX OUTPUTXBAR5 PMBUSA_CTL I2CA_SDA EQEP1_STROBE CLB_OUTPUTXBAR3 CLB_OUTPUTXBAR9	0,4,8,12 2 3 5 6 10 11 14		57				I/O I O I/O I/OD I/O O O	通用输入输出 42 LIN-A 接收 输出 X-BAR 输出 5 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向数据 eQEP-1 选通 CLB 输出 X-BAR 输出 3 CLB 输出 X-BAR 输出 9
GPIO43 OUTPUTXBAR6 PMBUSA_ALERT I2CA_SCL EQEP1_INDEX CLB_OUTPUTXBAR4 SD2_D3	0,4,8,12 3 5,9 6 10 11 13		54				I/O O I/OD I/OD I/O O I	通用输入输出 43 输出 X-BAR 输出 6 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟 eQEP-1 索引 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 数据输入
GPIO44 OUTPUTXBAR7 EQEP1_A PMBUSA_SDA PMBUSA_CTL CLB_OUTPUTXBAR3 LINB_TX	0,4,8,12 3 5 6 9 10 14	85	69				I/O O I I/OD I/O O O	通用输入输出 44 输出 X-BAR 输出 7 eQEP-1 输入 A PMBus-A 开漏双向数据 PMBus-A 控制信号-从机输入/主机输出 CLB 输出 X-BAR 输出 3 LIN-B 发送
GPIO45 OUTPUTXBAR8 PMBUSA_ALERT CLB_OUTPUTXBAR4 SD2_C3 CLB_OUTPUTXBAR11	0,4,8,12 3 9 10 13 14		73				I/O O I/OD O I O	通用输入输出 45 输出 X-BAR 输出 8 PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 时钟输入 CLB 输出 XBAR 输出 11
GPIO46 LINA_TX CANB_TX PMBUSA_SDA SD2_C4 CLB_OUTPUTXBAR12	0,4,8,12 3 5 9 13 14		6				I/O O O I/OD I O	通用输入输出 46 LIN-A 发送 CAN-B 发送 PMBus-A 开漏双向数据 SDFM-2 通道 4 时钟输入 CLB 输出 XBAR 输出 12
GPIO47 OUTPUTXBAR9 LINA_RX CANB_RX CLB_OUTPUTXBAR2 PMBUSA_SCL SD2_D4	0,4,8,12 2 3 5 7 9 13	6					I/O O I I O I/OD I	通用输入输出 47 输出 X-BAR 输出 9 LIN-A 接收 CANB-接收 CLB 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SDFM-2 通道 4 数据输入

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO48 OUTPUTXBAR3 CANA_TX SCIA_TX SD1_D1 PMBUSA_SDA QSPI_IO0	0,4,8,12 1 3 6 7 9 15	7					I/O O O O I I/OD I/O	通用输入输出 48 输出 X-BAR 输出 3 CAN-A 发送 SCI-A 发送 SDFM-1 通道 1 数据输入 PMBus-A 开漏双向数据 QSPI 输入输出 0
GPIO49 OUTPUTXBAR4 CANA_RX SCIA_RX SD1_C1 LINA_RX SD2_D1 QSPI_IO1	0,4,8,12 1 3 6 7 9 13 15	8					I/O O I I I I I/O	通用输入输出 49 输出 X-BAR 输出 4 CAN-A 接收 SCI-A 接收数据 SDFM-1 通道 1 时钟输入 LIN-A 接收 SDFM-2 通道 1 数据输入 QSPI 输入输出 1
GPIO50 EQEP1_A CANB_TX SPIB_SIMO SD1_D2 I2CB_SDA CLB_OUTPUTXBAR9 QSPI_IO2 SD2_D2	0,4,8,12 1 5 6 7 9 10 11 13	9					I/O I O I/O I I/OD O I/O I	通用输入输出 50 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 2 数据输入 I2C-B 开漏双向数据 CLB 输出 XBAR9 QSPI 输入输出 2 SDFM-2 通道 2 数据输入
GPIO51 EQEP1_B CANB_RX SPIB_SOMI SD1_C2 I2CB_SCL CLB_OUTPUTXBAR10 QSPI_IO3 SD2_D3	0,4,8,12 1 5 6 7 9 10 11 13	10					I/O I I I/O I I/OD O I/O I	通用输入输出 51 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 2 时钟输入 I2C-B 开漏双向时钟 CLB 输出 XBAR10 QSPI 输入输出 3 SDFM-2 通道 3 数据输入
GPIO52 EQEP1_STROBE CLB_OUTPUTXBAR5 SPIB_CLK SD1_D3 SYNCOU SD2_D4 QSPI_CLK	0,4,8,12 1 5 6 7 9 13 15	11					I/O I/O O I/O I O I O	通用输入输出 52 eQEP-1 选通 CLB 输出 X-BAR 输出 5 SPI-B 时钟 外部 ePWM 同步脉冲 通用输入输出 52 QSPI 时钟输出
GPIO53 EQEP1_INDEX CLB_OUTPUTXBAR6 SPIB_STE SD1_C3 ADCSOCAO CANA_RX SD1_C1 QSPI_CS	0,4,8,12 1 5 6 7 9 10 13 15	12					I/O I/O O I/O I O I O	通用输入输出 53 eQEP-1 索引 CLB 输出 X-BAR 输出 6 SPI-B 从机发送使能 (STE) SDFM-1 通道 3 时钟输入 外部 ADC 的 ADC 转换 A 开始 CAN-A 接收 SDFM-1 通道 1 时钟输入 QSPI 片选输出
GPIO54 SPIA_SIMO EQEP2_A OUTPUTXBAR2 SD1_D4 ADCSOCBO LINB_TX CLB_OUTPUTXBAR11 SD1_C2	0,4,8,12 1 5 6 7 9 10 11 13	13					I/O I/O I O I O O O I	通用输入输出 54 SPI-A 从机输入, 主机输出 (SIMO) eQEP-2 输入 A 输出 X-BAR 输出 2 SDFM1 通道 4 数据输入 外部 ADC 的 ADC 转换 B 开始 LIN-B 发送 CLB 输出 XBAR11 SDFM1 通道 2 时钟输入
GPIO55 SPIA_SOMI EQEP2_B OUTPUTXBAR3 SD1_C4 ERRORSTS LINB_RX SD1_C3 CLB_OUTPUTXBAR12	0,4,8,12 1 5 6 7 9 10 13 14	43					I/O I/O I O I O I I O	通用输入输出 55 SPIA 从机输出, 主机输入 (SOMI) eQEP-2 输入 B 输出 X-BAR 输出 3 SDFM-1 通道 4 时钟输入 错误状态输出。该信号需要外部下拉。 LIN-B 接收 SDFM-1 通道 3 时钟输入

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
								CLB 输出 XBAR12
GPIO56 SPIA_CLK CLB_OUTPUTXBAR7 CANB_TX EQEP2_STROBE SCIB_TX SD2_D1 SPIB_SIMO I2CA_SDA EQEP1_A SD1_C4	0,4,8,12 1 2 3 5 6 7 9 10 11 13	65					I/O I/O O O I/O O I I/O I/OD I I	通用输入输出 56 SPIA 时钟 CLB 输出 X-BAR 输出 7 CAN-B 发送 eQEP-2 选通 SCI-B 发送数据 SDFM-2 通道 1 数据输入 SPI-B 从机输入, 主机输出 (SIMO) I2C-A 开漏双向数据 eQEP-1 输入 A SDFM-1 通道 4 时钟输入
GPIO57 SPIA_STE CLB_OUTPUTXBAR8 CANB_RX EQEP2_INDEX SCIB_RX SD2_C1 SPIB_SOMI I2CA_SCL EQEP1_B	0,4,8,12 1 2 3 5 6 7 9 10 11	66					I/O I/O O I I/O I I I/O I/OD I	通用输入输出 57 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 8 CAN-B 接收 eQEP-2 索引 SCI-B 接收数据 SDFM-2 通道 1 时钟输入 SPI-B 从机输出, 主机输入 (SOMI) I2C-A 开漏双向时钟 eQEP-1 输入 B
GPIO58 OUTPUTXBAR1 SPIB_CLK SD2_D2 LINA_TX CANA_TX EQEP1_STROBE SD2_C2	0,4,8,12 5 6 7 9 10 11 13	67					I/O O I/O I O O I/O I	通用输入输出 58 输出 X-BAR 输出 1 SPI-B 时钟 SDFM-2 通道 2 数据输入 LIN-A 发送 CAN-A 发送 eQEP-1 选通 SDFM-2 通道 2 时钟输入
GPIO59 OUTPUTXBAR2 SPIB_STE SD2_C2 LINA_RX CANA_RX EQEP1_INDEX SD2_C3	0,4,8,12 5 6 7 9 10 11 13	92					I/O O I/O I I I I/O I	通用输入输出 59 输出 X-BAR 输出 2 SPIB 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 LIN-A 接收 CAN-A 接收 eQEP-1 索引 SDFM-2 通道 3 时钟输入
GPIO60 CANB_TX OUTPUTXBAR3 SPIB_SIMO SD2_D3 SD2_C4 CANA_STBY	0,4,8,12 3 5 6 7 13 15	44					I/O O O I/O I I O	通用输入输出 60 CAN-B 发送 输出 X-BAR 输出 3 SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 3 数据输入 SDFM-2 通道 4 时钟输入 CAN-A 待机模式输出
GPIO61 CANB_RX OUTPUTXBAR4 SPIB_SOMI SD2_C3 CANA_RX CANB_STBY	0,4,8,12 3 5 6 7 14 15	91					I/O I O I/O I I O	通用输入输出 61 CAN-B 接收 输出 X-BAR 输出 4 SPIB 从机输出, 主机输入 (SOMI) SDFM-2 通道 3 时钟输入 CAN-A 接收 CAN-B 待机模式输出
测试, JTAG, 与复位								
TCK		60	45	36	36	28	I	带内部上拉电阻的 JTAG 测试时钟。
TMS		62	47	38	38	30	I/O	具有内部上拉电阻的 JTAG 测试模式选择 (TMS)。该串行控制输入在 TCK 的上升沿按时钟输入 TAP 控制器。该器件没有 TRSTn 引脚。TMS 引脚到 VDDIO 的外部上拉电阻器 (推荐 2.2 kΩ) 应放置在电路板上, 以在正常操作期间保持 JTAG 处于复位状态。

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
XRSn		2	5	3	3	3	I/OD	设备复位（输入）和看门狗复位（输出）。在上电条件下，该引脚被器件驱动为低电平。外部电路也可以驱动该引脚来让设备复位。当发生看门狗复位时，该引脚也被 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2 kΩ 和 10 kΩ 之间的电阻器。芯片内部支持滤毛刺处理，建议不需要增加额外的电容。当看门狗复位有效时，这些值将允许看门狗在 512 个 OSCCLK 周期内将 XRSn 引脚正确驱动至 VOL。该引脚是带内部上拉电阻的开漏输出。如果此引脚由外部设备驱动，则应使用开漏器件来驱动
电源与接地								
VDD		4, 46, 71, 87	8, 31, 53, 71	4, 27, 44, 59	4, 27, 44, 59	23, 36, 45		1.1V 数字逻辑电源引脚。有关使用详情，请参阅电源管理模块 (PMM) 部分。
VDDA		34	26	22	22	18		3.3V 模拟电源引脚。在每个引脚上放置一个最小 2.2μF 的去耦电容器。有关使用详情，请参阅电源管理模块 (PMM) 部分。
VDDIO		3, 47, 70, 88	7, 32, 52, 72	28, 43, 60	28, 43, 60	24, 35, 46		3.3V 数字 I/O 电源引脚。有关使用详情，请参阅电源管理模块 (PMM) 部分。
VREGENZ		73			46		I	内部稳压器禁用内部下拉。连接到 VSS 以启用内部 VREG。连接到 VDDIO 以使用外部电源。有关使用详情，请参阅电源管理模块 (PMM) 部分。
VSS		5, 45, 72, 86	9, 30, 55, 70	5, 26, 45, 58	5, 26, 45, 58	22, 37, 44		数字地
VSSA		33	25	21	21	17		模拟地

5.2.2 GS32F0039H/GS32F0039H-Q 引脚属性表

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
模拟信号								
A0 B15 C15 CMP3_HP2 CMP3_LP2 DACA_OUT AIO231 SD1_C1	0,4,8,12 2	23	19	15	15	11	 O 	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 CMPSS-3 高比较器正输入 2 CMPSS-3 低比较器正输入 2 缓冲 DAC-A 输出 用于数字输入的模拟引脚 231 SDFM1 时钟输入通道 1
A1 B7 CMP1_HP4 CMP1_LP4 DACB_OUT AIO232 SD1_D4	0,4,8,12 2	22	18	14	14	10	 O 	ADC-A 输入 1 ADC-B 输入 7 CMPSS-1 高比较器正输入 4 CMPSS-1 低比较器正输入 4 缓冲的 DAC-B 输出 用于数字输入的模拟引脚 232 SDFM1 数据输入通道 4
A2 B6 C9 CMP1_HP0 CMP1_LP0 AIO224 SD2_D3	0,4,8,12 2	17	13	9	9	6	 	ADC-A 输入 2 ADC-B 输入 6 ADC-C 输入 9 CMPSS-1 高比较器正输入 0 CMPSS-1 低比较器正输入 0 用于数字输入的模拟引脚 224 SDFM2 数据输入通道 3
A3 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 CMP3_HP5 CMP3_LP5 AIO229	0,4,8,12	18					 	ADC-A 输入 3 CMPSS-1 高比较器负输入 0 CMPSS-1 高比较器正输入 3 CMPSS-1 低比较器负输入 0 CMPSS-1 低比较器正输入 3 CMPSS-3 高比较器正输入 5 CMPSS-3 低比较器正输入 5 用于数字输入的模拟引脚 229
A3 CMP3_HP5 CMP3_LP5			12	8	8	5	 	ADC-A 输入 3 CMPSS-3 高比较器正输入 5 CMPSS-3 低比较器正输入 5
A4 B8 CMP2_HP0 CMP2_LP0 AIO225 SD2_C2	0,4,8,12 2	36	27	23	23	19	 	ADC-A 输入 4 ADC-B 输入 8 CMPSS-2 高比较器正输入 0 CMPSS-2 低比较器正输入 0 用于数字输入的模拟引脚 225 SDFM2 时钟输入通道 2
A5 CMP2_HP5 CMP2_LP5 CMP5_HP5 CMP5_LP5 AIO249	0,4,8,12	35					 	ADC-A 输入 5 CMPSS-2 高比较器正输入 5 CMPSS-2 低比较器正输入 5 CMPSS-5 高比较器正输入 5 CMPSS-5 低比较器正输入 5 用于数字输入的模拟引脚 249
A5 CMP2_HP5 CMP2_LP5			17	13	13	9	 	ADC-A 输入 5 CMPSS-2 高比较器正输入 5 CMPSS-2 低比较器正输入 5
A6 CMP1_HP2 CMP1_LP2 CMP5_HP0 CMP5_LP0 AIO228 SD2_C1	0,4,8,12 2	14	10	6	6	4	 	ADC-A 输入 6 CMPSS-1 高比较器正输入 2 CMPSS-1 低比较器正输入 2 CMPSS-5 高比较器正输入 0 CMPSS-5 低比较器正输入 0 用于数字输入的模拟引脚 228 SDFM2 时钟输入通道 1
A8 CMP4_HP4 CMP4_LP4 CMP6_HP0 CMP6_LP0 AIO240 SD2_C1	0,4,8,12 2	37					 	ADC-A 输入 8 CMPSS-4 高比较器正输入 4 CMPSS-4 低比较器正输入 4 CMPSS-6 高比较器正输入 0 CMPSS-6 低比较器正输入 0 用于数字输入的模拟引脚 240 SDFM2 时钟输入通道 1

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
A8 CMP4_HP4 CMP4_LP4 AIO241 SD2_C1	0,4,8,12 2		24	20	20	16	 	ADC-A 输入 8 CMPSS-4 高比较器正输入 4 CMPSS-4 低比较器正输入 4 用于数字输入的模拟引脚 241 SDFM2 时钟输入通道 1
A9 CMP2_HP2 CMP2_LP2 AIO227 SD1_C3	0,4,8,12 2	38	28	24	24	20	 	ADC-A 输入 9 CMPSS-2 高比较器正输入 2 CMPSS-2 低比较器正输入 2 用于数字输入的模拟引脚 227 SDFM1 时钟输入通道 3
A10 B1 C10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 CMP7_HP0 CMP7_LP0 AIO230 SD1_C4	0,4,8,12 2	40	29	25	25	21	 	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 CMPSS-2 高比较器负输入 0 CMPSS-2 高比较器正输入 3 CMPSS-2 低比较器负输入 0 CMPSS-2 低比较器正输入 3 CMPSS-7 高比较器正输入 0 CMPSS-7 低比较器正输入 0 用于数字输入的模拟引脚 230 SDFM1 时钟输入通道 4
A11 B10 C0 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 AIO237 SD1_D2	0,4,8,12 2	20	16	12	12	8	 	ADC-A 输入 11 ADC-B 输入 10 ADC-C 输入 0 CMPSS-1 高比较器负输入 1 CMPSS-1 高比较器正输入 1 CMPSS-1 低比较器负输入 1 CMPSS-1 低比较器正输入 1 用于数字输入的模拟引脚 237 SDFM1 数据输入通道 2
A12 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 AIO238 SD2_C3	0,4,8,12 2	28	22	18	18	14	 	ADC-A 输入 12 CMPSS-2 高比较器负输入 1 CMPSS-2 高比较器正输入 1 CMPSS-2 低比较器负输入 1 CMPSS-2 低比较器正输入 1 用于数字输入的模拟引脚 238 SDFM2 时钟输入通道 3
A14 B14 C4 CMP3_HP4 CMP3_LP4 CMP5_HN1 CMP5_HP1 CMP5_LN1 CMP5_LP1 AIO239 SD1_D1	0,4,8,12 2	19	15	11	11		 	ADC-A 输入 14 ADC-B 输入 14 ADC-C 输入 4 CMPSS-3 高比较器正输入 4 CMPSS-3 低比较器正输入 4 CMPSS-5 高比较器负输入 1 CMPSS-5 高比较器正输入 1 CMPSS-5 低比较器负输入 1 CMPSS-5 低比较器正输入 1 用于数字输入的模拟引脚 239 SDFM1 数据输入通道 1
A15 GPIO13	0,4,8,12	50					 I/O	ADC-A 输入 15 通用输入输出 13。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
A15 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 AIO233 SD2_D1	0,4,8,12 2		14	10	10	7	 	ADC-A 输入 15 CMPSS-1 高比较器负输入 0 CMPSS-1 高比较器正输入 3 CMPSS-1 低比较器负输入 0 CMPSS-1 低比较器正输入 3 用于数字输入的模拟引脚 233 SDFM2 数据输入通道 1
B0 C11 CMP2_HP4 CMP2_LP4 CMP7_HN0 CMP7_HP3 CMP7_LN0 CMP7_LP3 AIO253	0,4,8,12	41					 	ADC-B 输入 0 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-2 低比较器正输入 4 CMPSS-7 高比较器负输入 0 CMPSS-7 高比较器正输入 3 CMPSS-7 低比较器负输入 0 CMPSS-7 低比较器正输入 3 用于数字输入的模拟引脚 253

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
B0 C11 CMP2_HP4 CMP2_LP4			24	20	20	16	 	ADC-B 输入 0 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-2 低比较器正输入 4
B2 C6 CMP3_HP0 CMP3_LP0 AIO226 SD2_D4	0,4,8,12 2	15	11	7	7	4	 	ADC-B 输入 2 ADC-C 输入 6 CMPSS-3 高比较器正输入 0 CMPSS-3 低比较器正输入 0 用于数字输入的模拟引脚 226 SDFM2 数据输入通道 4
B3 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 VDAC AIO242 SD2_D2	0,4,8,12 2	16	12	8	8	5	 	ADC-B 输入 3 CMPSS-3 高比较器负输入 0 CMPSS-3 高比较器正输入 3 CMPSS-3 低比较器负输入 0 CMPSS-3 低比较器正输入 3 片上 DAC 的可选外部参考电压 用于数字输入的模拟引脚 242 SDFM2 数据输入通道 2
B4 C8 CMP4_HP0 CMP4_LP0 AIO236	0,4,8,12	39	28	24	24	20	 	ADC-B 输入 4 ADC-C 输入 8 CMPSS-4 高比较器正输入 0 CMPSS-4 低比较器正输入 0 用于数字输入的模拟引脚 236
B5 CMP1_HP5 CMP1_LP5 AIO252 SD2_C4	0,4,8,12 2	32					 	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 用于数字输入的模拟引脚 252 SDFM2 时钟输入通道 4
B5 CMP1_HP5 CMP1_LP5 GPIO20	0,4,8,12	48	33				 I/O	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 通用输入输出 20。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B11 CMP4_HP5 CMP4_LP5 AIO251	0,4,8,12	30					 	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 用于数字输入的模拟引脚 251
B11 CMP4_HP5 CMP4_LP5 GPIO21	0,4,8,12	49	34				 I/O	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 通用输入输出 21。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B12 C2 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AIO244 SD1_D3	0,4,8,12 2	21	17	13	13	9	 	ADC-B 输入 12 ADC-C 输入 2 CMPSS-3 高比较器负输入 1 CMPSS-3 高比较器正输入 1 CMPSS-3 低比较器负输入 1 CMPSS-3 低比较器正输入 1 用于数字输入的模拟引脚 244 SDFM1 数据输入通道 3
C1 CMP4_HP2 CMP4_LP2 AIO248	0,4,8,12	29	22	18	18	14	 	ADC-C 输入 1 CMPSS-4 高比较器正输入 2 CMPSS-4 低比较器正输入 2 用于数字输入的模拟引脚 248
C3 A7 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 AIO245 SD1_C2	0,4,8,12 2	31	23	19	19	15	 	ADC-C 输入 3 ADC-A 输入 7 CMPSS-4 高比较器负输入 1 CMPSS-4 高比较器正输入 1 CMPSS-4 低比较器负输入 1 CMPSS-4 低比较器正输入 1 用于数字输入的模拟引脚 245 SDFM1 时钟输入通道 2
C5		28	12	8	8	5		ADC-C 输入 5
C7 B9		18	14	10	10	7	 	ADC-C 输入 7 ADC-B 输入 9

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
C14 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3 CMP7_HN1 CMP7_HP1 CMP7_LN1 CMP7_LP1 AIO247	0,4,8,12	42					 	ADC-C 输入 14 CMPSS-4 高比较器负输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 低比较器负输入 0 CMPSS-4 低比较器正输入 3 CMPSS-7 高比较器负输入 1 CMPSS-7 高比较器正输入 1 CMPSS-7 低比较器负输入 1 CMPSS-7 低比较器正输入 1 用于数字输入的模拟引脚 247
C14 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3			27	23	23	19	 	ADC-C 输入 14 CMPSS-4 高比较器负输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 低比较器负输入 0 CMPSS-4 低比较器正输入 3
CMP6_HN0 CMP6_HP3 CMP6_LN0 CMP6_LP3		38					 	CMPSS-6 高比较器负输入 0 CMPSS-6 高比较器正输入 3 CMPSS-6 低比较器负输入 0 CMPSS-6 低比较器正输入 3
VREFHI		24, 25	20	16	16	12		ADC-高参考。外部参考模式，该引脚提供外部驱动的高参考电压。内部参考模式，该引脚提供器件的驱动电压。任意模式，均需在引脚上至少放置 2.2uF 电容。该电容应放置在靠近 VREFHI 与 VREFLO 引脚间。
VREFLO		26, 27	21	17	17	13		ADC-低参考
GPIO								
GPIO0 EPWM1_A OUTPUTXBAR9 I2CA_SDA SPIA_STE CANB_RX CLB_OUTPUTXBAR8 EQEP1_INDEX QSPI_IO0	0,4,8,12 1 2 6 7 10 11 13 15	79	63	52	52	42	I/O O O I/OD I/O I O I/O I/O	通用输入输出 0 ePWM-1 输出 A 输出 X-BAR 输出 9 I2C-A 开漏双向数据 SPI-A 从机发送使能 (STE) CAN-B 接收 CLB 输出 X-BAR 输出 8 eQEP-1 索引 QSPI 输入输出 0
GPIO1 EPWM1_B OUTPUTXBAR10 I2CA_SCL SPIA_SOMI CANB_TX CLB_OUTPUTXBAR7 CANA_STBY QSPI_IO1	0,4,8,12 1 2 6 7 10 11 14 15	78	62	51	51	41	I/O O O I/OD I/O O O O I/O	通用输入输出 1 ePWM-1 输出 B 输出 X-BAR 输出 10 I2C-A 开漏双向时钟 SPI-A 从机输出，主机输入 (SOMI) CAN-B 发送 CLB 输出 X-BAR 输出 7 CAN-A 待机模式输出 QSPI 输入输出 1
GPIO2 EPWM2_A OUTPUTXBAR1 PMBUSA_SDA SPIA_SIMO SCIA_TX I2CB_SDA QSPI_IO2 CANA_TX CLB_OUTPUTXBAR9	0,4,8,12 1 5 6 7 9 11 13 14 15	77	61	50	50	40	I/O O O I/OD I/O O I/OD I/O O O	通用输入输出 2 ePWM-2 输出 A 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 SPI-A 从机输入，主机输出 (SIMO) SCIA 发送数据 I2C-B 开漏双向数据 QSPI 输入输出 2 CAN-A 发送 CLB 输出 XBAR9
GPIO3 EPWM2_B OUTPUTXBAR2 PMBUSA_SCL SPIA_CLK SCIA_RX I2CB_SCL QSPI_IO3 CANA_RX CLB_OUTPUTXBAR10	0,4,8,12 1 2,5 6 7 9 11 13 14 15	76	60	49	49	39	I/O O O I/OD I/O I I/OD I/O I O	通用输入输出 3 ePWM-2 输出 B 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SPI-A 时钟 SCIA 接收数据 I2C-B 开漏双向时钟 QSPI 输入输出 3 CAN-A 接收 CLB 输出 XBAR10

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO4 EPWM3_A CANB_TX OUTPUTXBAR3 CANA_TX SPIB_CLK EQEP2_STROBE CLB_OUTPUTXBAR6 CANB_STBY QSPI_CLK	0,4,8,12 1 3 5 6 7 9 11 14 15	75	59	48	48	38	I/O O O O O I/O I/O O O O	通用输入输出 4 ePWM-3 输出 A CAN-B 发送 输出 X-BAR 输出 3 CAN-A 发送 SPI-B 时钟 eQEP-2 选通 CLB 输出 X-BAR 输出 6 CAN-B 待机模式输出 QSPI 输出时钟
GPIO5 EPWM3_B OUTPUTXBAR3 CANB_RX CANA_RX SPIA_STE CLB_OUTPUTXBAR5	0,4,8,12 1 3 5 6 7 10	89	74	61	61	47	I/O O O I I I/O O	通用输入输出 5 ePWM-3 输出 B 输出 X-BAR 输出 3 CAN-B 接收 CAN-A 接收 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 5
GPIO6 EPWM4_A OUTPUTXBAR4 SYNCOUT EQEP1_A CANB_TX SPIB_SOMI CLB_OUTPUTXBAR8 QSPI_IO0	0,4,8,12 1 2 3 5 6 7 14 15	97	80	64	64	48	I/O O O O I O I/O O I/O	通用输入输出 6 ePWM-4 输出 A 输出 X-BAR 输出 4 外部 ePWM 同步脉冲 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输出, 主机输入 (SOMI) CLB 输出 X-BAR 输出 8 QSPI 输入输出 0
GPIO7 EPWM4_B OUTPUTXBAR5 EQEP1_B CANB_RX SPIB_SIMO CLB_OUTPUTXBAR2	0,4,8,12 1 3 5 6 7 10	84	68	57	57	43	I/O O O O I I I/O O	通用输入输出 7 ePWM-4 输出 B 输出 X-BAR 输出 5 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输入, 主机输出 (SIMO) CLB 输出 X-BAR 输出 2
GPIO8 EPWM5_A CANB_TX ADCSOAO EQEP1_STROBE SCIA_TX SPIA_SIMO I2CA_SCL CLB_OUTPUTXBAR5 QSPI_CS	0,4,8,12 1 2 3 5 6 7 9 11 15	74	58	47	47		I/O O O O O I/O O I/O I/OD O O	通用输入输出 8 ePWM-5 输出 A CAN-B 发送 外部 ADC 的 ADC 转换 A 开始 eQEP-1 选通 SCI-A 发送数据 SPI-A 从机输入, 主机输出 (SIMO) I2C-A 开漏双向时钟 CLB 输出 X-BAR 输出 5 QSPI 输出片选
GPIO9 EPWM5_B SCIB_TX OUTPUTXBAR6 EQEP1_INDEX SCIA_RX SPIA_CLK LINB_RX I2CB_SCL CLB_OUTPUTXBAR11	0,4,8,12 1 2 3 5 6 7 11 14 15	90	75	62	62		I/O O O O O I/O I I/O I I/OD O	通用输入输出 9 ePWM-5 输出 B SCI-B 发送 输出 X-BAR 输出 6 eQEP-1 索引 SCI-A 接收数据 SPI-A 时钟 LIN-B 接收 I2C-B 开漏双向时钟 CLB 输出 XBAR11
GPIO10 EPWM6_A CANB_RX ADCSOAO EQEP1_A SCIB_TX SPIA_SOMI I2CA_SDA LINB_TX CLB_OUTPUTXBAR4	0,4,8,12 1 2 3 5 6 7 9 11 15	93	76	63	63		I/O O I O O I O I/O I/OD O O	通用输入输出 10 ePWM-6 输出 A CAN-B 接收 外部 ADC 的 ADC 转换 B 开始 eQEP-1 输入 A SCI-B 发送数据 SPI-A 从机输出, 主机输入 (SOMI) I2C-A 开漏双向数据 LIN-B 发送 CLB 输出 X-BAR 输出 4

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明	
GPIO11 EPWM6_B SCIB_RX OUTPUTXBAR7 EQEP1_B SCIB_RX SPIA_STE LINB_RX EQEP2_A SPIA_SIMO CLB_OUTPUTXBAR12	0,4,8,12 1 2 3 5 6 7 10 11 13 15		52	37	31	31	I/O O I O I I I/O I I I/O O	通用输入输出 11 ePWM-6 输出 B SCI-B 接收 输出 X-BAR 输出 7 eQEP-1 输入 B SCI-B 接收数据 SPI-A 从机发送使能 (STE) LIN-B 接收 eQEP-2 输入 A SPI-A 从机输入, 主机输出 (SIMO) CLB 输出 XBAR12	
GPIO12 EPWM7_A CANB_TX CANB_RX EQEP1_STROBE SCIB_TX PMBUSA_CTL LINB_TX SPIA_CLK CAN_A_RX CLB_OUTPUTXBAR9	0,4,8,12 1 2 3 5 6 7 10 11 13 15		51	36	30	30	I/O O O I I/O O I/O O I/O I O	通用输入输出 12 ePWM-7 输出 A CAN-B 发送 CAN-B 接收 eQEP-1 选通 SCI-B 发送数据 PMBus-A 控制信号-从机输入/主机输出 LIN-B 发送 SPI-A 时钟 CAN-A 接收 CLB 输出 XBAR9	
GPIO13 EPWM7_B CANB_RX CANB_TX EQEP1_INDEX SCIB_RX PMBUSA_ALERT LINB_RX SPIA_SOMI CAN_A_TX CLB_OUTPUTXBAR10	0,4,8,12 1 2 3 5 6 7 10 11 13 15		50	35	29	29	I/O O I O I/O I I/OD I I/O O O	通用输入输出 13 ePWM-7 输出 B CAN-B 接收 CAN-B 发送 eQEP-1 索引 SCI-B 接收数据 PMBus-A 开漏双向报警 LIN-B 接收 SPI0 从机输出, 主机输入 (SOMI) CAN-A 发送 CLB 输出 XBAR 输出 10	
GPIO14 EPWM8_A SCIB_TX I2CB_SDA OUTPUTXBAR3 PMBUSA_SDA SPIB_CLK EQEP2_A LINB_TX EPWM3_A CLB_OUTPUTXBAR7 QSPI_CS	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15		96	79			I/O O O I/OD O I/OD I/O I O O O O O	通用输入输出 14 ePWM-8 输出 A SCI-B 发送数据 I2C1 开漏双向数据 输出 X-BAR 输出 3 PMBus-A 开漏双向数据 SPI-B 时钟 eQEP-2 输入 A LIN-B 发送 ePWM-3 输出 A CLB 输出 X-BAR 输出 7 QSPI 片选输出	
GPIO15 EPWM8_B SCIB_RX I2CB_SCL OUTPUTXBAR4 PMBUSA_SCL SPIB_STE EQEP2_B LINB_RX EPWM3_B CLB_OUTPUTXBAR6 QSPI_CLK	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15		95	78			I/O O I I/OD O I/OD I/O I I O O	通用输入输出 15 ePWM-8 输出 B SCI-B 接收数据 I2C-B 开漏双向时钟 输出 X-BAR 输出 4 PMBus-A 开漏双向时钟 SPI-B 从机发送使能 (STE) eQEP-2 输入 B LIN-B 接收 ePWM-3 输出 B CLB 输出 X-BAR 输出 6 QSPI 时钟输出	
GPIO16 SPIA_SIMO CANB_TX OUTPUTXBAR7 EPWM5_A SCIA_TX SD1_D1 EQEP1_STROBE PMBUSA_SCL XCLKOUT	0,4,8,12 1 2 3 5 6 7 9 10 11		54	39	33	33	26	I/O I/O O O O O I I/O I/OD O	通用输入输出 16 SPI-A 从机输入, 主机输出 (SIMO) CAN-B 发送 输出 X-BAR 输出 7 ePWM-5 输出 A SCI-A 发送数据 SDFM-1 通道数据输入 eQEP-1 选通 PMBus-A 开漏双向时钟 外部时钟输出。该引脚输出器件内部所选时钟

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
EQEP2_B SPIB_SOMI EPWM9_A	13 14 15						I I/O O	信号的分频版本。 eQEP-2 输入 B SPI-B 从机输出, 主机输入 (SOMI) EPWM-9 输出 A
GPIO17 SPIA_SOMI CANB_RX OUTPUTXBAR8 EPWM5_B SCIA_RX SD1_C1 EQEP1_INDEX PMBUSA_SDA CANA_TX EPWM9_B	0,4,8,12 1 2 3 5 6 7 9 10 11 15	55	40	34	34		I/O I/O I O O I I I/O I/OD O O	通用输入输出 17 SPI-A 从机输出, 主机输入 (SOMI) CAN-B 接收 输出 X-BAR 输出 8 ePWM-5 输出 B SCI-A 接收数据 SDFM-1 通道 1 时钟输入 eQEP-1 索引 PMBus-A 开漏双向数据 CAN-A 发送 EPWM-9 输出 B
GPIO18 SPIA_CLK SCIB_TX CANA_RX EPWM6_A I2CA_SCL SD1_D2 EQEP2_A PMBUSA_CTL XCLKOUT LINB_TX X2	0,4,8,12 1 2 3 5 6 7 9 10 11 13 ALT	68	50	41	41	33	I/O I/O O I O I/OD I I I/O O O I/O	通用输入输出 18 SPI-A 时钟 SCI-B 发送数据 CAN-A 接收 ePWM-6 输出 A I2C-A 开漏双向时钟 SDFM-1 通道 2 数据输入 eQEP-2 输入 A PMBus-A 控制信号-从机输入/主机输出 外部时钟输出。该引脚输出器件内部所选时钟 信号的分频版本。 LIN-B 发送 晶体振荡器输出
GPIO19 SPIA_STE SCIB_RX CANA_TX EPWM6_B I2CA_SDA SD1_C2 EQEP2_B PMBUSA_ALERT CLB_OUTPUTXBAR1 LINB_RX X1	0,4,8,12 1 2 3 5 6 7 9 10 11 13 ALT	69	51	42	42	34	I/O I/O I O O I/OD I I I/OD O I I/O	通用输入输出 19 SPI-A 从机发送使能 (STE) SCI-B 接收数据 CAN-A 发送 ePWM-6 输出 B I2C-A 开漏双向数据 SDFM-1 通道 2 时钟输入 eQEP-2 输入 B PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 1 LIN-B 接收 晶体振荡器输入或单端时钟输入
GPIO20 EQEP1_A OUTPUTXBAR9 SPIB_SIMO SD1_D3 CANB_TX	0,4,8,12 1 5 6 7 9	48	33				I/O I O I/O I O	通用输入输出 20(AGPIO) eQEP-1 输入 A 输出 X-BAR 输出 9 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 3 数据输入 CAN-B 发送
GPIO21 EQEP1_B OUTPUTXBAR10 SPIB_SOMI SD1-C3 CANB_RX	0,4,8,12 1 5 6 7 9	49	34				I/O I O I/O I I	通用输入输出 21 (AGPIO) eQEP-1 输入 B 输出 X-BAR 输出 9 SPI1-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 3 时钟输入 CAN-B 接收
GPIO22 EQEP1_STROBE SCIB_TX OUTPUTXBAR11 SPIB_CLK SD1_D4 LINA_TX CLB_OUTPUTXBAR1 LINB_TX EPWM4_A	0,4,8,12 1 3 5 6 7 9 10 11 14	83	67	56	56		I/O I/O O O I/O I O O O O	通用输入输出 22 eQEP-1 选通 SCI-B 发送数据 输出 X-BAR 输出 11 SPI-B 时钟 SDFM-1 通道 4 数据输入 LIN-A 发送 CLB 输出 X-BAR 输出 1 LIN-B 发送

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
EPWM11_A	15						O	ePWM-4 输出 A ePWM-11 输出 A
GPIO23 EQEP1_INDEX SCIB_RX OUTPUTXBAR12 SPIB_STE SD1_C4 LINA_RX CLB_OUTPUTXBAR3 LINB_RX EPWM4_B EPWM11_B	0,4,8,12 1 3 5 6 7 9 10 11 14 15	81	65	54	54		I/O I/O I O I/O I I O I O O	通用输入输出 23 eQEP-1 索引 SCI-B 接收数据 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) SDFM-1 通道 4 时钟输入 LIN-A 接收 CLB 输出 X-BAR 输出 3 LIN-B 接收 ePWM-4 输出 B EPWM-11 输出 B
GPIO24 OUTPUTXBAR1 EQEP2_A QSPI_IO0 EPWM8_A SPIB_SIMO SD2_D1 LINA_TX PMBUSA_SCL SCIA_TX ERRORSTS CANA_STBY EPWM10_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	56	41	35	35	27	I/O O I I/O O I/O I O I/OD O O O O	通用输入输出 24 输出 X-BAR 输出 1 eQEP-2 输入 A QSPI 数据输入输出 0 ePWM-8 输出 A SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 1 数据输入 LIN-A 发送 PMBus-A 开漏双向时钟 SCI-A 发送数据 错误状态输出。该信号需要外部下拉。 CAN-A 待机模式输出 EPWM-10 输出 A
GPIO25 OUTPUTXBAR2 EQEP2_B QSPI_IO1 EQEP1_A SPIB_SOMI SD2_C1 PMBUSA_SDA SCIA_RX EPWM10_A	0,4,8,12 1 2 3 5 6 7 10 11 15	57	42				I/O O I I/O I I/O I I/OD I O	通用输入输出 25 输出 X-BAR 输出 2 eQEP-2 输入 B QSPI 数据输入 1 eQEP-1 输入 A SPI-B 从机输出, 主机输入 (SOMI) SDFM-2 通道 1 时钟输入 PMBus-A 开漏双向数据 SCI-A 接收数据 EPWM-10 输出 A
GPIO26 OUTPUTXBAR3 EQEP2_INDEX QSPI_IO2 SPIB_CLK SD2_D2 PMBUSA_CTL I2CA_SDA EPWM10_B	0,4,8,12 1,5 2 3 6 7 10 11 15	58	43				I/O O I/O I/O I/O I I/O I/OD O	通用输入输出 26 输出 X-BAR 输出 3 eQEP-2 索引 QSPI 数据输入 2 SPI-B 时钟 SDFM-2 通道 2 数据输入 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向时钟 EPWM-10 输出 B
GPIO27 OUTPUTXBAR4 EQEP2_STROBE QSPI_IO3 SPIB_STE SD2_C2 PMBUSA_ALERT I2CA_SCL	0,4,8,12 1,5 2 3 6 7 10 11	59	44				I/O O I/O I/O I/O I I/OD I/OD	通用输入输出 27 输出 X-BAR 输出 4 eQEP-2 选通 QSPI 数据输入 3 SPI-B 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO28 SCIA_RX OUTPUTXBAR9 EPWM7_A OUTPUTXBAR5 EQEP1_A SD2_D3 EQEP2_STROBE LINA_TX SPIB_CLK ERRORSTS I2CB_SDA EPWM12_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	1	4	2	2	2	I/O I O O O I I/O O I/O O O I/OD O	通用输入输出 28 SCI-A 接收数据 输出 X-BAR 输出 9 ePWM-7 输出 A 输出 X-BAR 输出 5 eQEP-1 输入 A SDFM-2 通道 3 数据输入 eQEP-2 选通 LIN-A 发送 SPI-B 时钟 错误状态输出。该信号需要外部下拉。 I2C-B 开漏双向数据 EPWM-12 输出 A
GPIO29 SCIA_TX OUTPUTXBAR10 EPWM7_B OUTPUTXBAR6 EQEP1_B SD2_C3 EQEP2_INDEX LINA_RX SPIB_STE ERRORSTS I2CB_SCL EPWM12_B AUXCLKIN	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15 ALT	100	3	1	1	1	I/O O O O O I I I/O I I/O O I/OD O I	通用输入输出 29 SCI-A 发送数据 输出 X-BAR 输出 10 ePWM-7 输出 B 输出 X-BAR 输出 6 eQEP-1 输入 B SDFM-2 通道 3 时钟输入 eQEP-2 索引 LIN-A 接收 SPI-B 从机发送使能 (STE) 错误状态输出。该信号需要外部下拉。 I2C-B 开漏双向时钟 EPWM-12 输出 B Aux.时钟输入
GPIO30 CANA_RX OUTPUTXBAR11 SPIB_SIMO OUTPUTXBAR7 EQEP1_STROBE SD2_D4 CANB_RX EPWM1_A QSPI_IO1 EPWM12_A	0,4,8,12 1 2 3 5 6 7 10 11 13 15	98	1				I/O I O I/O O I/O I I O I/O O	通用输入输出 30 CAN-A 接收 输出 X-BAR 输出 11 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 7 eQEP-1 选通 SDFM-2 通道 4 数据输入 CAN-B 接收 ePWM-1 输出 A QSPI 数据输入 1 EPWM-12 输出 A
GPIO31 CANA_TX OUTPUTXBAR12 SPIB_SOMI OUTPUTXBAR8 EQEP1_INDEX SD2_C4 CANB_TX EPWM1_B QSPI_IO2 EPWM12_B	0,4,8,12 1 2 3 5 6 7 10 11 13 15	99	2				I/O O O I/O O I/O I O O I/O O	通用输入输出 31 CAN-A 发送 输出 X-BAR 输出 12 SPI-B 从机输出, 主机输入 (SOMI) 输出 X-BAR 输出 8 eQEP-1 索引 SDFM-2 通道 4 时钟输入 CAN-B 发送 ePWM-1 输出 B QSPI 数据输入 2 EPWM-12 输出 B
GPIO32 I2CA_SDA QSPI_CLK SPIB_CLK EPWM8_B LINA_TX SD1_D2 CANA_TX PMBUSA_SDA ADCSOCBO CANB_STBY EPWM10_B	0,4,8,12 1 2 3 5 6 7 10 11 13 14 15	64	49	40	40	32	I/O I/OD O I/O O O I I O I/OD O O O	通用输入输出 32 I2C-A 开漏双向数据 QSPI 时钟输入 SPI-B 时钟 ePWM-8 输出 B LIN-A 发送 SDFM-1 通道 2 数据输入 CAN-A 发送 PMBus-A 开漏双向数据 外部 ADC 的 ADC 转换 B 开始 CAN-B 待机模式输出 ePWM-10 输出 B

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO33 I2CA_SCL OUTPUTXBAR12 SPIB_STE OUTPUTXBAR4 LINA_RX SD1_C2 CANA_RX EQEP2_B ADCSOAO SD1_C1	0,4,8,12 1 2 3 5 6 7 10 11 13 14			38	32	25	I/O I/OD O I/O O I I I O I	通用输入输出 33 I2C-A 开漏双向时钟 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) 输出 X-BAR 输出 4 LIN-A 接收 SDFM-1 通道 2 时钟输入 CAN-A 接收 eQEP-2 输入 B 外部 ADC 的 ADC 转换 A 开始 SDFM-1 通道 1 时钟输入
GPIO34 OUTPUTXBAR1 PMBUSA_SDA QSPI_IO3 I2C1_SDA	0,4,8,12 1 6 13 14	94	77				I/O O I/OD I/O I/OD	通用输入输出 34 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 QSPI 数据输入 3 I2C1 开漏双向数据
GPIO35 SCIA_RX QSPI_CS I2CA_SDA CANA_RX PMBUSA_SCL LINA_RX EQEP1_A PMBUSA_CTL EPWM5_B SD2_C1 CLB_OUTPUTXBAR11 TDI	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15			48	39	31	I/O I O I/OD I I/OD I I I/O O I O I	通用输入输出 35 SCI-A 接收数据 QSPI 片选输出 I2C-A 开漏双向数据 CAN-A 接收 PMBus-A 开漏双向时钟 LIN-A 接收 eQEP-1 输入 A PMBus-A 控制信号-从机输入/主机输出 ePWM-5 输出 B SDFM-2 通道 1 时钟输入 CLB 输出 XBAR 输出 11 JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。
GPIO37 OUTPUTXBAR2 I2CA_SCL SCIA_TX CANA_TX LINA_TX EQEP1_B PMBUSA_ALERT CLB_OUTPUTXBAR12 TDO	0,4,8,12 1 3 5 6 7 9 10 14 15			46	37	29	I/O O I/OD O O O I I/OD O O	通用输入输出 37 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 SCI-A 发送数据 CAN-A 发送 LIN-A 发送 eQEP-1 输入 B PMBus-A 开漏双向报警 CLB 输出 XBAR 输出 12 JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。
GPIO39 OUTPUTXBAR9 CANB_RX EQEP2_INDEX CLB_OUTPUTXBAR2 SYNCOUT EQEP1_INDEX	0,4,8,12 2 6 9 11 13 14		56	46			I/O O I I/O O O I/O	通用输入输出 39 输出 X-BAR 输出 9 CAN-B 接收 eQEP-2 索引 CLB 输出 X-BAR 输出 2 外部 ePWM 同步脉冲 eQEP-1 索引
GPIO40 SPIB_SIMO OUTPUTXBAR10 EPWM2_B PMBUSA_SDA SCIB_TX EQEP1_A LINB_TX EPWM11_A	0,4,8,12 1 2 5 6 9 10 11 15			53	53		I/O I/O O O I/OD O I O O	通用输入输出 40 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 10 ePWM-2 输出 B PMBus-A 开漏双向数据 SCI-B 发送数据 eQEP-1 输入 A LIN-B 发送 EPWM-11 输出 A
GPIO41 OUTPUTXBAR11 EPWM2_A PMBUSA_SCL SCIB_RX EQEP1_B LINB_RX SPI1_SOMI EPWM11_B	0,4,8,12 2 5 6 9 10 11 14 15		82	66	55		I/O O O I/OD I I I I/O O	通用输入输出 41 输出 X-BAR 输出 11 ePWM-2 输出 A PMBus-A 开漏双向时钟 SCI-B 接收数据 eQEP-1 输入 B LIN-B 接收 SPI-B 从机输出, 主机输入 (SOMI) EPWM-11 输出 B

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO42 LINA_RX OUTPUTXBAR5 PMBUSA_CTL I2CA_SDA EQEP1_STROBE CLB_OUTPUTXBAR3 CLB_OUTPUTXBAR9 EPWM9_A	0,4,8,12 2 3 5 6 10 11 14 15		57				I/O I O I/O I/OD I/O O O O	通用输入输出 42 LIN-A 接收 输出 X-BAR 输出 5 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向数据 eQEP-1 选通 CLB 输出 X-BAR 输出 3 CLB 输出 X-BAR 输出 9 ePWM-9 输出 A
GPIO43 OUTPUTXBAR6 PMBUSA_ALERT I2CA_SCL EQEP1_INDEX CLB_OUTPUTXBAR4 SD2_D3 EPWM9_B	0,4,8,12 3 5,9 6 10 11 13 15		54				I/O O I/OD I/OD I/O O I O	通用输入输出 43 输出 X-BAR 输出 6 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟 eQEP-1 索引 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 数据输入 ePWM-9 输出 B
GPIO44 OUTPUTXBAR7 EQEP1_A PMBUSA_SDA PMBUSA_CTL CLB_OUTPUTXBAR3 LINB_TX	0,4,8,12 3 5 6 9 10 14	85	69				I/O O I I/OD I/O O O	通用输入输出 44 输出 X-BAR 输出 7 eQEP-1 输入 A PMBus-A 开漏双向数据 PMBus-A 控制信号-从机输入/主机输出 CLB 输出 X-BAR 输出 3 LIN-B 发送
GPIO45 OUTPUTXBAR8 PMBUSA_ALERT CLB_OUTPUTXBAR4 SD2_C3 CLB_OUTPUTXBAR11	0,4,8,12 3 9 10 13 14		73				I/O O I/OD O I O	通用输入输出 45 输出 X-BAR 输出 8 PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 时钟输入 CLB 输出 XBAR 输出 11
GPIO46 LINA_TX CANB_TX PMBUSA_SDA SD2_C4 CLB_OUTPUTXBAR12	0,4,8,12 3 5 9 13 14		6				I/O O O I/OD I O	通用输入输出 46 LIN-A 发送 CAN-B 发送 PMBus-A 开漏双向数据 SDFM-2 通道 4 时钟输入 CLB 输出 XBAR 输出 12
GPIO47 OUTPUTXBAR9 LINA_RX CANB_RX CLB_OUTPUTXBAR2 PMBUSA_SCL SD2_D4	0,4,8,12 2 3 5 7 9 13	6					I/O O I I O I/OD I	通用输入输出 47 输出 X-BAR 输出 9 LIN-A 接收 CANB-接收 CLB 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SDFM-2 通道 4 数据输入
GPIO48 OUTPUTXBAR3 CANA_TX SCIA_TX SD1_D1 PMBUSA_SDA QSPI_IO0	0,4,8,12 1 3 6 7 9 15	7					I/O O O O I I/OD I/O	通用输入输出 48 输出 X-BAR 输出 3 CAN-A 发送 SCI-A 发送 SDFM-1 通道 1 数据输入 PMBus-A 开漏双向数据 QSPI 输入输出 0
GPIO49 OUTPUTXBAR4 CANA_RX SCIA_RX SD1_C1 LINA_RX SD2_D1 QSPI_IO1	0,4,8,12 1 3 6 7 9 13 15	8					I/O O I I I I I I/O	通用输入输出 49 输出 X-BAR 输出 4 CAN-A 接收 SCI-A 接收数据 SDFM-1 通道 1 时钟输入 LIN-A 接收 SDFM-2 通道 1 数据输入 QSPI 输入输出 1
GPIO50 EQEP1_A CANB_TX SPIB_SIMO SD1_D2 I2CB_SDA CLB_OUTPUTXBAR9 QSPI_IO2 SD2_D2 EPWM9_A	0,4,8,12 1 5 6 7 9 10 11 13 15	9					I/O I O I/O I I/OD O I/O I O	通用输入输出 50 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 2 数据输入 I2C-B 开漏双向数据 CLB 输出 XBAR9 QSPI 输入输出 2 SDFM-2 通道 2 数据输入

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
								EPWM-9 输出 A
GPIO51 EQEP1_B CANB_RX SPIB_SOMI SD1_C2 I2CB_SCL CLB_OUTPUTXBAR10 QSPI_IO3 SD2_D3 EPWM9_B	0,4,8,12 1 5 6 7 9 10 11 13 15	10					I/O I/O I/OD O I/O O	通用输入输出 51 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 2 时钟输入 I2C-B 开漏双向时钟 CLB 输出 XBAR10 QSPI 输入输出 3 SDFM-2 通道 3 数据输入 EPWM-9 输出 B
GPIO52 EQEP1_STROBE CLB_OUTPUTXBAR5 SPIB_CLK SD1_D3 SYNCOUT SD2_D4 QSPI_CLK	0,4,8,12 1 5 6 7 9 13 15	11					I/O I/O O I/O O O	通用输入输出 52 eQEP-1 选通 CLB 输出 X-BAR 输出 5 SPI-B 时钟 外部 ePWM 同步脉冲 通用输入输出 52 QSPI 时钟输出
GPIO53 EQEP1_INDEX EPWM11_B CLB_OUTPUTXBAR6 SPIB_STE SD1_C3 ADCSOCAO CANA_RX SD1_C1 QSPI_CS	0,4,8,12 1 2 5 6 7 9 10 13 15	12					I/O I/O O O I/O O O	通用输入输出 53 eQEP-1 索引 EPWM-11 输出 B CLB 输出 X-BAR 输出 6 SPI-B 从机发送使能 (STE) SDFM-1 通道 3 时钟输入 外部 ADC 的 ADC 转换 A 开始 CAN-A 接收 SDFM-1 通道 1 时钟输入 QSPI 片选输出
GPIO54 SPIA_SIMO EPWM11_A EQEP2_A OUTPUTXBAR2 SD1_D4 ADCSOCBO LINB_TX CLB_OUTPUTXBAR11 SD1_C2	0,4,8,12 1 2 5 6 7 9 10 11 13	13					I/O I/O O O O O O O 	通用输入输出 54 SPI-A 从机输入, 主机输出 (SIMO) EPWM-11 输出 A eQEP-2 输入 A 输出 X-BAR 输出 2 SDFM1 通道 4 数据输入 外部 ADC 的 ADC 转换 B 开始 LIN-B 发送 CLB 输出 XBAR11 SDFM1 通道 2 时钟输入
GPIO55 SPIA_SOMI EQEP2_B OUTPUTXBAR3 SD1_C4 ERRORSTS LINB_RX SD1_C3 CLB_OUTPUTXBAR12	0,4,8,12 1 5 6 7 9 10 13 14	43					I/O I/O O O O	通用输入输出 55 SPIA 从机输出, 主机输入 (SOMI) eQEP-2 输入 B 输出 X-BAR 输出 3 SDFM-1 通道 4 时钟输入 错误状态输出。该信号需要外部下拉。 LIN-B 接收 SDFM-1 通道 3 时钟输入 CLB 输出 XBAR12
GPIO56 SPIA_CLK CLB_OUTPUTXBAR7 CANB_TX EQEP2_STROBE SCIB_TX SD2_D1 SPIB_SIMO I2CA_SDA EQEP1_A SD1_C4 EPWM10_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 15	65					I/O I/O O O I/O O I/O I/OD O	通用输入输出 56 SPIA 时钟 CLB 输出 X-BAR 输出 7 CAN-B 发送 eQEP-2 选通 SCI-B 发送数据 SDFM-2 通道 1 数据输入 SPI-B 从机输入, 主机输出 (SIMO) I2C-A 开漏双向数据 eQEP-1 输入 A SDFM-1 通道 4 时钟输入 EPWM-10 输出 A

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
GPIO57 SPIA_STE CLB_OUTPUTXBAR8 CANB_RX EQEP2_INDEX SCIB_RX SD2_C1 SPIB_SOMI I2CA_SCL EQEP1_B EPWM10_B	0,4,8,12 1 2 3 5 6 7 9 10 11 15	66					I/O I/O O I I/O I I I/O I/OD I O	通用输入输出 57 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 8 CAN-B 接收 eQEP-2 索引 SCI-B 接收数据 SDFM-2 通道 1 时钟输入 SPI-B 从机输出, 主机输入 (SOMI) I2C-A 开漏双向时钟 eQEP-1 输入 B EPWM-10 输出 B
GPIO58 OUTPUTXBAR1 SPIB_CLK SD2_D2 LINA_TX CANA_TX EQEP1_STROBE SD2_C2	0,4,8,12 5 6 7 9 10 11 13	67					I/O O I/O I O O I/O I	通用输入输出 58 输出 X-BAR 输出 1 SPI-B 时钟 SDFM-2 通道 2 数据输入 LIN-A 发送 CAN-A 发送 eQEP-1 选通 SDFM-2 通道 2 时钟输入
GPIO59 OUTPUTXBAR2 SPIB_STE SD2_C2 LINA_RX CANA_RX EQEP1_INDEX SD2_C3	0,4,8,12 5 6 7 9 10 11 13	92					I/O O I/O I I I I/O I	通用输入输出 59 输出 X-BAR 输出 2 SPIB 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 LIN-A 接收 CAN-A 接收 eQEP-1 索引 SDFM-2 通道 3 时钟输入
GPIO60 CANB_TX OUTPUTXBAR3 SPIB_SIMO SD2_D3 SD2_C4 CANA_STBY	0,4,8,12 3 5 6 7 13 15	44					I/O O O I/O I I O	通用输入输出 60 CAN-B 发送 输出 X-BAR 输出 3 SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 3 数据输入 SDFM-2 通道 4 时钟输入 CAN-A 待机模式输出
GPIO61 CANB_RX OUTPUTXBAR4 SPIB_SOMI SD2_C3 CANA_RX CANB_STBY	0,4,8,12 3 5 6 7 14 15	91					I/O I O I/O I I O	通用输入输出 61 CAN-B 接收 输出 X-BAR 输出 4 SPIB 从机输出, 主机输入 (SOMI) SDFM-2 通道 3 时钟输入 CAN-A 接收 CAN-B 待机模式输出
测试, JTAG, 与复位								
TCK		60	45	36	36	28	I	带内部上拉电阻的 JTAG 测试时钟。
TMS		62	47	38	38	30	I/O	具有内部上拉电阻的 JTAG 测试模式选择 (TMS)。该串行控制输入在 TCK 的上升沿按时钟输入 TAP 控制器。该器件没有 TRSTn 引脚。TMS 引脚到 VDDIO 的外部上拉电阻器 (推荐 2.2 kΩ) 应放置在电路板上, 以在正常操作期间保持 JTAG 处于复位状态。
XRSn		2	5	3	3	3	I/OD	设备复位 (输入) 和看门狗复位 (输出)。在上电条件下, 该引脚被器件驱动为低电平。外部电路也可以驱动该引脚来让设备复位。当发生看门狗复位时, 该引脚也被 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2 kΩ 和 10 kΩ 之间的电阻器。芯片内部支持滤毛刺处理, 建议不需要增加额外的电容。当看门狗复位有效时, 这些值将允许看门狗在 512 个 OSCCLK 周期内将 XRSn 引脚正确驱动至 VOL。该引脚是带内部上拉电阻的开漏输出。如果此引脚由外部设备驱动, 则应使用开漏器件来驱动
电源与接地								
VDD		4, 46,	8, 31,	4, 27,	4, 27,	23, 36,		1.1V 数字逻辑电源引脚。有关使用详情, 请参

信号名称	复用位置	100 PZ	80 PN	64 PM	64 PMQ	48 PT	引脚类型	说明
		71, 87	53, 71	44, 59	44, 59	45		阅电源管理模块 (PMM) 部分。
VDDA		34	26	22	22	18		3.3V 模拟电源引脚。在每个引脚上放置一个最小 2.2 μ F 的去耦电容器。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VDDIO		3, 47, 70, 88	7, 32, 52, 72	28, 43, 60	28, 43, 60	24, 35, 46		3.3V 数字 I/O 电源引脚。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VREGENZ		73			46		I	内部稳压器禁用内部下拉。连接到 VSS 以启用内部 VREG。连接到 VDDIO 以使用外部电源。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VSS		5, 45, 72, 86	9, 30, 55, 70	5, 26, 45, 58	5, 26, 45, 58	22, 37, 44		数字地
VSSA		33	25	21	21	17		模拟地

5.2.3 GS32F0039P 引脚属性表

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
模拟信号					
A0 B15 C15 CMP3_HP2 CMP3_LP2 DACA_OUT AIO231 SD1_C1	0,4,8,12 2	29	23	 O 	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 CMPSS-3 高比较器正输入 2 CMPSS-3 低比较器正输入 2 缓冲 DAC-A 输出 用于数字输入的模拟引脚 231 SDFM1 时钟输入通道 1
A1 B7 CMP1_HP4 CMP1_LP4 DACB_OUT AIO232 SD1_D4	0,4,8,12 2	28	22	 O 	ADC-A 输入 1 ADC-B 输入 7 CMPSS-1 高比较器正输入 4 CMPSS-1 低比较器正输入 4 缓冲的 DAC-B 输出 用于数字输入的模拟引脚 232 SDFM1 数据输入通道 4
A2 B6 C9 CMP1_HP0 CMP1_LP0 AIO224 SD2_D3	0,4,8,12 2	16	17	 1	ADC-A 输入 2 ADC-B 输入 6 ADC-C 输入 9 CMPSS-1 高比较器正输入 0 CMPSS-1 低比较器正输入 0 用于数字输入的模拟引脚 224 SDFM2 数据输入通道 3
A3 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 CMP3_HP5 CMP3_LP5 AIO229	0,4,8,12	17	18	 	ADC-A 输入 3 CMPSS-1 高比较器负输入 0 CMPSS-1 高比较器正输入 3 CMPSS-1 低比较器负输入 0 CMPSS-1 低比较器正输入 3 CMPSS-3 高比较器正输入 5 CMPSS-3 低比较器正输入 5 用于数字输入的模拟引脚 229
A4 B8 CMP2_HP0 CMP2_LP0 AIO225 SD2_C2	0,4,8,12 2	44	36	 	ADC-A 输入 4 ADC-B 输入 8 CMPSS-2 高比较器正输入 0 CMPSS-2 低比较器正输入 0 用于数字输入的模拟引脚 225 SDFM2 时钟输入通道 2
A5 CMP2_HP5 CMP2_LP5 CMP5_HP5 CMP5_LP5 AIO249	0,4,8,12	43	35	 	ADC-A 输入 5 CMPSS-2 高比较器正输入 5 CMPSS-2 低比较器正输入 5 CMPSS-5 高比较器正输入 5 CMPSS-5 低比较器正输入 5 用于数字输入的模拟引脚 249
A6 CMP1_HP2 CMP1_LP2 CMP5_HP0 CMP5_LP0 AIO228 SD2_C1	0,4,8,12 2	11	14	 	ADC-A 输入 6 CMPSS-1 高比较器正输入 2 CMPSS-1 低比较器正输入 2 CMPSS-5 高比较器正输入 0 CMPSS-5 低比较器正输入 0 用于数字输入的模拟引脚 228 SDFM2 时钟输入通道 1
A8 CMP4_HP4 CMP4_LP4 CMP6_HP0 CMP6_LP0 AIO240 SD2_C1	0,4,8,12 2	46	37	 	ADC-A 输入 8 CMPSS-4 高比较器正输入 4 CMPSS-4 低比较器正输入 4 CMPSS-6 高比较器正输入 0 CMPSS-6 低比较器正输入 0 用于数字输入的模拟引脚 240 SDFM2 时钟输入通道 1
A9 CMP2_HP2 CMP2_LP2 CMP6_HN0 CMP6_HP3 CMP6_LN0 CMP6_LP3 AIO227	0,4,8,12	47	38	 	ADC-A 输入 9 CMPSS-2 高比较器正输入 2 CMPSS-2 低比较器正输入 2 CMPSS-6 高比较器负输入 0 CMPSS-6 高比较器正输入 3 CMPSS-6 低比较器负输入 0 CMPSS-6 低比较器正输入 3

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
SD1_C3	2			I	用于数字输入的模拟引脚 227 SDFM1 时钟输入通道 3
A10 B1 C10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 CMP7_HP0 CMP7_LP0 AIO230 SD1_C4	0,4,8,12 2	50	40	I	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 CMPSS-2 高比较器负输入 0 CMPSS-2 高比较器正输入 3 CMPSS-2 低比较器负输入 0 CMPSS-2 低比较器正输入 3 CMPSS-7 高比较器正输入 0 CMPSS-7 低比较器正输入 0 用于数字输入的模拟引脚 230 SDFM1 时钟输入通道 4
A11 B10 C0 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 AIO237 SD1_D2	0,4,8,12 2	24	20	I	ADC-A 输入 11 ADC-B 输入 10 ADC-C 输入 0 CMPSS-1 高比较器负输入 1 CMPSS-1 高比较器正输入 1 CMPSS-1 低比较器负输入 1 CMPSS-1 低比较器正输入 1 用于数字输入的模拟引脚 237 SDFM1 数据输入通道 2
A12 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 AIO238 SD2_C3	0,4,8,12 2	34	28	I	ADC-A 输入 12 CMPSS-2 高比较器负输入 1 CMPSS-2 高比较器正输入 1 CMPSS-2 低比较器负输入 1 CMPSS-2 低比较器正输入 1 用于数字输入的模拟引脚 238 SDFM2 时钟输入通道 3
A14 B14 C4 CMP3_HP4 CMP3_LP4 CMP5_HN1 CMP5_HP1 CMP5_LN1 CMP5_LP1 AIO239 SD1_D1	0,4,8,12 2	22	19	I	ADC-A 输入 14 ADC-B 输入 14 ADC-C 输入 4 CMPSS-3 高比较器正输入 4 CMPSS-3 低比较器正输入 4 CMPSS-5 高比较器负输入 1 CMPSS-5 高比较器正输入 1 CMPSS-5 低比较器负输入 1 CMPSS-5 低比较器正输入 1 用于数字输入的模拟引脚 239 SDFM1 数据输入通道 1
A15 GPIO13	0,4,8,12	61	50	I/O	ADC-A 输入 15 通用输入输出 13。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
A16 AIO233		12		I	ADC-A 输入 16 用于数字输入的模拟引脚 233
A17 AIO234		15		I	ADC-A 输入 17 用于数字输入的模拟引脚 234
A18 AIO235		20		I	ADC-A 输入 18 用于数字输入的模拟引脚 235
A19 AIO241		27		I	ADC-A 输入 19 用于数字输入的模拟引脚 241
B0 C11 CMP2_HP4 CMP2_LP4 CMP7_HN0 CMP7_HP3 CMP7_LN0 CMP7_LP3 AIO253	0,4,8,12	51	41	I	ADC-B 输入 0 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-2 低比较器正输入 4 CMPSS-7 高比较器负输入 0 CMPSS-7 高比较器正输入 3 CMPSS-7 低比较器负输入 0 CMPSS-7 低比较器正输入 3 用于数字输入的模拟引脚 253
B2 C6 CMP3_HP0 CMP3_LP0 AIO226 SD2_D4	0,4,8,12 2	13	15	I	ADC-B 输入 2 ADC-C 输入 6 CMPSS-3 高比较器正输入 0 CMPSS-3 低比较器正输入 0 用于数字输入的模拟引脚 226

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
					SDFM2 数据输入通道 4
B3 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 VDAC AIO242 SD2_D2	0,4,8,12 2	14	16	 	ADC-B 输入 3 CMPSS-3 高比较器负输入 0 CMPSS-3 高比较器正输入 3 CMPSS-3 低比较器负输入 0 CMPSS-3 低比较器正输入 3 片上 DAC 的可选外部参考电压 用于数字输入的模拟引脚 242 SDFM2 数据输入通道 2
B4 C8 CMP4_HP0 CMP4_LP0 AIO236	0,4,8,12	48	39	 	ADC-B 输入 4 ADC-C 输入 8 CMPSS-4 高比较器正输入 0 CMPSS-4 低比较器正输入 0 用于数字输入的模拟引脚 236
B5 CMP1_HP5 CMP1_LP5 AIO252 SD2_C4	0,4,8,12 2	39	32	 	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 用于数字输入的模拟引脚 252 SDFM2 时钟输入通道 4
B5 CMP1_HP5 CMP1_LP5 GPIO20	0,4,8,12	59	48	 I/O	ADC-B 输入 5 CMPSS-1 高比较器正输入 5 CMPSS-1 低比较器正输入 5 通用输入输出 20。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B11 CMP4_HP5 CMP4_LP5 AIO251	0,4,8,12	37	30	 	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 用于数字输入的模拟引脚 251
B11 CMP4_HP5 CMP4_LP5 GPIO21	0,4,8,12	60	49	 I/O	ADC-B 输入 11 CMPSS-4 高比较器正输入 5 CMPSS-4 低比较器正输入 5 通用输入输出 21。该引脚还具有数字多路复用器功能，如本表的 GPIO 部分所述。
B12 C2 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AIO244 SD1_D3	0,4,8,12 2	26	21	 	ADC-B 输入 12 ADC-C 输入 2 CMPSS-3 高比较器负输入 1 CMPSS-3 高比较器正输入 1 CMPSS-3 低比较器负输入 1 CMPSS-3 低比较器正输入 1 用于数字输入的模拟引脚 244 SDFM1 数据输入通道 3
B16 CMP5_HP2 CMP5_LP2		21		 	ADC-B 输入 16 CMPSS-5 高比较正输入 2 CMPSS-5 低比较正输入 2
B17		23			ADC-B 输入 17
B18		25			ADC-B 输入 18
B19 CMP7_HP2 CMP7_LP2		52		 	ADC-B 输入 19 CMPSS-7 高比较正输入 2 CMPSS-7 低比较正输入 2
C1 CMP4_HP2 CMP4_LP2 AIO248	0,4,8,12	35	29	 	ADC-C 输入 1 CMPSS-4 高比较器正输入 2 CMPSS-4 低比较器正输入 2 用于数字输入的模拟引脚 248
C3 A7 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 AIO245 SD1_C2	0,4,8,12 2	38	31	 	ADC-C 输入 3 ADC-A 输入 7 CMPSS-4 高比较器负输入 1 CMPSS-4 高比较器正输入 1 CMPSS-4 低比较器负输入 1 CMPSS-4 低比较器正输入 1 用于数字输入的模拟引脚 245 SDFM1 时钟输入通道 2
C14 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3 CMP7_HN1		53	42	 	ADC-C 输入 14 CMPSS-4 高比较器负输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 低比较器负输入 0 CMPSS-4 低比较器正输入 3

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
CMP7_HP1 CMP7_LN1 CMP7_LP1 AIO247	0,4,8,12			 	CMPSS-7 高比较器负输入 1 CMPSS-7 高比较器正输入 1 CMPSS-7 低比较器负输入 1 CMPSS-7 低比较器正输入 1 用于数字输入的模拟引脚 247
C16 AIO243		36		 	ADC-C 输入 16 用于数字输入的模拟引脚 243
C17 AIO246		40		 	ADC-C 输入 17 用于数字输入的模拟引脚 246
C18 AIO250		45		 	ADC-C 输入 18 用于数字输入的模拟引脚 250
C19 AIO254		49		 	ADC-C 输入 19 用于数字输入的模拟引脚 254
VREFHI		30, 31	24, 25		ADC-高参考。外部参考模式，该引脚提供外部驱动的高参考电压。内部参考模式，该引脚提供器件的驱动电压。任意模式，均需在引脚上至少放置 2.2uF 电容。该电容应放置在靠近 VREFHI 与 VREFLO 引脚间。
VREFLO		32, 33	26, 27		ADC-低参考
GPIO					
GPIO0 EPWM1_A OUTPUTXBAR9 I2CA_SDA SPIA_STE CANB_RX CLB_OUTPUTXBAR8 EQEP1_INDEX QSPI_IO0	0,4,8,12 1 2 6 7 10 11 13 15	99	79	I/O O O I/OD I/O I O I/O I/O	通用输入输出 0 ePWM-1 输出 A 输出 X-BAR 输出 9 I2C-A 开漏双向数据 SPI-A 从机发送使能 (STE) CAN-B 接收 CLB 输出 X-BAR 输出 8 eQEP-1 索引 QSPI 输入输出 0
GPIO1 EPWM1_B OUTPUTXBAR10 I2CA_SCL SPIA_SOMI CANB_TX CLB_OUTPUTXBAR7 CANA_STBY QSPI_IO1	0,4,8,12 1 2 6 7 10 11 14 15	98	78	I/O O O I/OD I/O O O O I/O	通用输入输出 1 ePWM-1 输出 B 输出 X-BAR 输出 10 I2C-A 开漏双向时钟 SPI-A 从机输出，主机输入 (SOMI) CAN-B 发送 CLB 输出 X-BAR 输出 7 CAN-A 待机模式输出 QSPI 输入输出 1
GPIO2 EPWM2_A OUTPUTXBAR1 PMBUSA_SDA SPIA_SIMO SCIA_TX I2CB_SDA QSPI_IO2 CANA_TX CLB_OUTPUTXBAR9	0,4,8,12 1 5 6 7 9 11 13 14 15	97	77	I/O O O I/OD I/O O I/OD I/O O O	通用输入输出 2 ePWM-2 输出 A 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 SPI-A 从机输入，主机输出 (SIMO) SCI-A 发送数据 I2C-B 开漏双向数据 QSPI 输入输出 2 CAN-A 发送 CLB 输出 XBAR9
GPIO3 EPWM2_B OUTPUTXBAR2 PMBUSA_SCL SPIA_CLK SCIA_RX I2CB_SCL QSPI_IO3 CANA_RX CLB_OUTPUTXBAR10	0,4,8,12 1 2,5 6 7 9 11 13 14 15	96	76	I/O O O I/OD I/O I I/OD I/O I O	通用输入输出 3 ePWM-2 输出 B 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SPI-A 时钟 SCI-A 接收数据 I2C-B 开漏双向时钟 QSPI 输入输出 3 CAN-A 接收 CLB 输出 XBAR10
GPIO4 EPWM3_A CANB_TX OUTPUTXBAR3 CANA_TX SPIB_CLK EQEP2_STROBE CLB_OUTPUTXBAR6 CANA_STBY	0,4,8,12 1 3 5 6 7 9 11 14	95	75	I/O O O O O I/O I/O O O	通用输入输出 4 ePWM-3 输出 A CAN-B 发送 输出 X-BAR 输出 3 CAN-A 发送 SPI-B 时钟 eQEP-2 选通 CLB 输出 X-BAR 输出 6

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
QSPI_CLK	15			O	CAN-B 待机模式输出 QSPI 输出时钟
GPIO5 EPWM3_B OUTPUTXBAR3 CANB_RX CANA_RX SPIA_STE CLB_OUTPUTXBAR5	0,4,8,12 1 3 5 6 7 10	112	89	I/O O O I I I/O O	通用输入输出 5 ePWM-3 输出 B 输出 X-BAR 输出 3 CAN-B 接收 CAN-A 接收 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 5
GPIO6 EPWM4_A OUTPUTXBAR4 SYNCOUT EQEP1_A CANB_TX SPIB_SOMI CLB_OUTPUTXBAR8 QSPI_IO0	0,4,8,12 1 2 3 5 6 7 14 15	121	97	I/O O O O I O I/O O I/O	通用输入输出 6 ePWM-4 输出 A 输出 X-BAR 输出 4 外部 ePWM 同步脉冲 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输出, 主机输入 (SOMI) CLB 输出 X-BAR 输出 8 QSPI 输入输出 0
GPIO7 EPWM4_B OUTPUTXBAR5 EQEP1_B CANB_RX SPIB_SIMO CLB_OUTPUTXBAR2	0,4,8,12 1 3 5 6 7 10	105	84	I/O O O I I I/O O	通用输入输出 7 ePWM-4 输出 B 输出 X-BAR 输出 5 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输入, 主机输出 (SIMO) CLB 输出 X-BAR 输出 2
GPIO8 EPWM5_A CANB_TX ADCSOCAO EQEP1_STROBE SCIA_TX SPIA_SIMO I2CA_SCL CLB_OUTPUTXBAR5 QSPI_CS	0,4,8,12 1 2 3 5 6 7 9 11 15	94	74	I/O O O O I/O O I/O I/OD O O	通用输入输出 8 ePWM-5 输出 A CAN-B 发送 外部 ADC 的 ADC 转换 A 开始 eQEP-1 选通 SCI-A 发送数据 SPI-A 从机输入, 主机输出 (SIMO) I2C-A 开漏双向时钟 CLB 输出 X-BAR 输出 5 QSPI 输出片选
GPIO9 EPWM5_B SCIB_TX OUTPUTXBAR6 EQEP1_INDEX SCIA_RX SPIA_CLK LINB_RX I2CB_SCL CLB_OUTPUTXBAR11	0,4,8,12 1 2 3 5 6 7 11 14 15	113	90	I/O O O O I/O I I/O I I/OD O	通用输入输出 9 ePWM-5 输出 B SCI-B 发送 输出 X-BAR 输出 6 eQEP-1 索引 SCI-A 接收数据 SPI-A 时钟 LIN-B 接收 I2C-B 开漏双向时钟 CLB 输出 XBAR11
GPIO10 EPWM6_A CANB_RX ADCSOCBO EQEP1_A SCIB_TX SPIA_SOMI I2CA_SDA LINB_TX CLB_OUTPUTXBAR4	0,4,8,12 1 2 3 5 6 7 9 11 15	117	93	I/O O I O I O I/O I/OD O O	通用输入输出 10 ePWM-6 输出 A CAN-B 接收 外部 ADC 的 ADC 转换 B 开始 eQEP-1 输入 A SCI-B 发送数据 SPI-A 从机输出, 主机输入 (SOMI) I2C-A 开漏双向数据 LIN-B 发送 CLB 输出 X-BAR 输出 4

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO11 EPWM6_B SCIB_RX OUTPUTXBAR7 EQEP1_B SCIB_RX SPIA_STE LINB_RX EQEP2_A SPIA_SIMO CLB_OUTPUTXBAR12	0,4,8,12 1 2 3 5 6 7 10 11 13 15	67	52	I/O O I O I I I/O I I I/O O	通用输入输出 11 ePWM-6 输出 B SCI-B 接收 输出 X-BAR 输出 7 eQEP-1 输入 B SCI-B 接收数据 SPI-A 从机发送使能 (STE) LIN-B 接收 eQEP-2 输入 A SPI-A 从机输入, 主机输出 (SIMO) CLB 输出 XBAR12
GPIO12 EPWM7_A CANB_TX CANB_RX EQEP1_STROBE SCIB_TX PMBUSA_CTL LINB_TX SPIA_CLK CANB_RX CLB_OUTPUTXBAR9	0,4,8,12 1 2 3 5 6 7 10 11 13 15	66	51	I/O O O I I/O O I/O O I/O I O	通用输入输出 12 ePWM-7 输出 A CAN-B 发送 CAN-B 接收 eQEP-1 选通 SCI-B 发送数据 PMBus-A 控制信号-从机输入/主机输出 LIN-B 发送 SPI-A 时钟 CAN-A 接收 CLB 输出 XBAR9
GPIO13 EPWM7_B CANB_RX CANB_TX EQEP1_INDEX SCIB_RX PMBUSA_ALERT LINB_RX SPIA_SOMI CANB_TX CLB_OUTPUTXBAR10	0,4,8,12 1 2 3 5 6 7 10 11 13 15	61	50	I/O O I O I/O I I/O I O O	通用输入输出 13 ePWM-7 输出 B CAN-B 接收 CAN-B 发送 eQEP-1 索引 SCI-B 接收数据 PMBus-A 开漏双向报警 LIN-B 接收 SPI0 从机输出, 主机输入 (SOMI) CAN-A 发送 CLB 输出 XBAR 输出 10
GPIO14 EPWM8_A SCIB_TX I2CB_SDA OUTPUTXBAR3 PMBUSA_SDA SPIB_CLK EQEP2_A LINB_TX EPWM3_A CLB_OUTPUTXBAR7 QSPI_CS	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15	120	96	I/O O O I/OD O I/OD O I/O I O O O O	通用输入输出 14 ePWM-8 输出 A SCI-B 发送数据 I2C1 开漏双向数据 输出 X-BAR 输出 3 PMBus-A 开漏双向数据 SPI-B 时钟 eQEP-2 输入 A LIN-B 发送 ePWM-3 输出 A CLB 输出 X-BAR 输出 7 QSPI 片选输出
GPIO15 EPWM8_B SCIB_RX I2CB_SCL OUTPUTXBAR4 PMBUSA_SCL SPIB_STE EQEP2_B LINB_RX EPWM3_B CLB_OUTPUTXBAR6 QSPI_CLK	0,4,8,12 1 2 5 6 7 9 10 11 13 14 15	119	95	I/O O I I/OD O I/OD I/O I/O I I O O	通用输入输出 15 ePWM-8 输出 B SCI-B 接收数据 I2C-B 开漏双向时钟 输出 X-BAR 输出 4 PMBus-A 开漏双向时钟 SPI-B 从机发送使能 (STE) eQEP-2 输入 B LIN-B 接收 ePWM-3 输出 B CLB 输出 X-BAR 输出 6 QSPI 时钟输出
GPIO16 SPIA_SIMO CANB_TX OUTPUTXBAR7 EPWM5_A SCIA_TX SD1_D1 EQEP1_STROBE PMBUSA_SCL XCLKOUT EQEP2_B	0,4,8,12 1 2 3 5 6 7 9 10 11 13	69	54	I/O I/O O O O O I I/O I/OD O I	通用输入输出 16 SPI-A 从机输入, 主机输出 (SIMO) CAN-B 发送 输出 X-BAR 输出 7 ePWM-5 输出 A SCI-A 发送数据 SDFM-1 通道数据输入 eQEP-1 选通 PMBus-A 开漏双向时钟 外部时钟输出。该引脚输出器件内部所选时钟

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
SPIB_SOMI EPWM9_A	14 15			I/O O	信号的分频版本。 eQEP-2 输入 B SPI-B 从机输出, 主机输入 (SOMI) EPWM-9 输出 A
GPIO17 SPIA_SOMI CANB-RX OUTPUTXBAR8 EPWM5_B SCIA_RX SD1_C1 EQEP1_INDEX PMBUSA_SDA CANA_TX EPWM9_B	0,4,8,12 1 2 3 5 6 7 9 10 11 15	70	55	I/O I/O I O O I I I/O I/O O O	通用输入输出 17 SPI-A 从机输出, 主机输入 (SOMI) CAN-B 接收 输出 X-BAR 输出 8 ePWM-5 输出 B SCI-A 接收数据 SDFM-1 通道 1 时钟输入 eQEP-1 索引 PMBus-A 开漏双向数据 CAN-A 发送 EPWM-9 输出 B
GPIO18 SPIA_CLK SCIB_TX CANA_RX EPWM6_A I2CA_SCL SD1_D2 EQEP2_A PMBUSA_CTL XCLKOUT LINB_TX	0,4,8,12 1 2 3 5 6 7 9 10 11 13	83	68	I/O I/O O I O I/O I I I/O O O	通用输入输出 18 SPI-A 时钟 SCI-B 发送数据 CAN-A 接收 ePWM-6 输出 A I2C-A 开漏双向时钟 SDFM-1 通道 2 数据输入 eQEP-2 输入 A PMBus-A 控制信号-从机输入/主机输出 外部时钟输出。该引脚输出器件内部所选时钟 信号的分频版本。 LIN-B 发送
X2	ALT	85	68	I/O	晶体振荡器输出
GPIO19 SPIA_STE SCIB_RX CANA_TX EPWM6_B I2CA_SDA SD1_C2 EQEP2_B PMBUSA_ALERT CLB_OUTPUTXBAR1 LINB_RX	0,4,8,12 1 2 3 5 6 7 9 10 11 13	84	69	I/O I/O I O O I/O I I I/O O I	通用输入输出 19 SPI-A 从机发送使能 (STE) SCI-B 接收数据 CAN-A 发送 ePWM-6 输出 B I2C-A 开漏双向数据 SDFM-1 通道 2 时钟输入 eQEP-2 输入 B PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 1 LIN-B 接收
X1	ALT	86	69	I/O	晶体振荡器输入或单端时钟输入
GPIO20 EQEP1_A OUTPUTXBAR9 SPIB_SIMO SD1_D3 CANB_TX	0,4,8,12 1 5 6 7 9	59	48	I/O I O O I/O I O	通用输入输出 20(AGPIO) eQEP-1 输入 A 输出 X-BAR 输出 9 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 3 数据输入 CAN-B 发送
GPIO21 EQEP1_B OUTPUTXBAR10 SPIB_SOMI SD1_C3 CANB_RX	0,4,8,12 1 5 6 7 9	60	49	I/O I O O I/O I I	通用输入输出 21 (AGPIO) eQEP-1 输入 B 输出 X-BAR 输出 9 SPI1-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 3 时钟输入 CAN-B 接收
GPIO22 EQEP1_STROBE SCIB_TX OUTPUTXBAR11 SPIB_CLK SD1_D4 LINA_TX CLB_OUTPUTXBAR1 LINB_TX EPWM4_A EPWM11_A	0,4,8,12 1 3 5 6 7 9 10 11 14 15	104	83	I/O I/O O O O I/O I O O O O	通用输入输出 22 eQEP-1 选通 SCI-B 发送数据 输出 X-BAR 输出 11 SPI-B 时钟 SDFM-1 通道 4 数据输入 LIN-A 发送 CLB 输出 X-BAR 输出 1 LIN-B 发送 ePWM-4 输出 A ePWM-11 输出 A

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO23 EQEP1_INDEX SCIB_RX OUTPUTXBAR12 SPIB_STE SD1_C4 LINA_RX CLB_OUTPUTXBAR3 LINB_RX EPWM4_B EPWM11_B	0,4,8,12 1 3 5 6 7 9 10 11 14 15	102	81	I/O I/O I O I/O I I O I O O	通用输入输出 23 eQEP-1 索引 SCI-B 接收数据 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) SDFM-1 通道 4 时钟输入 LIN-A 接收 CLB 输出 X-BAR 输出 3 LIN-B 接收 ePWM-4 输出 B EPWM-11 输出 B
GPIO24 OUTPUTXBAR1 EQEP2_A QSPI_IO0 EPWM8_A SPIB_SIMO SD2_D1 LINA_TX PMBUSA_SCL SCIA_TX ERRORSTS CAN_A_STBY EPWM10_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	71	56	I/O O I I/O O I/O I O I/OD O O O O	通用输入输出 24 输出 X-BAR 输出 1 eQEP-2 输入 A QSPI 数据输入输出 0 ePWM-8 输出 A SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 1 数据输入 LIN-A 发送 PMBus-A 开漏双向时钟 SCI-A 发送数据 错误状态输出。该信号需要外部下拉。 CAN-A 待机模式输出 EPWM-10 输出 A
GPIO25 OUTPUTXBAR2 EQEP2_B QSPI_IO1 EQEP1_A SPIB_SOMI SD2_C1 PMBUSA_SDA SCIA_RX EPWM10_A	0,4,8,12 1 2 3 5 6 7 10 11 15	72	57	I/O O I I/O I I/O I I/OD I O	通用输入输出 25 输出 X-BAR 输出 2 eQEP-2 输入 B QSPI 数据输入 1 eQEP-1 输入 A SPI-B 从机输出, 主机输入 (SOMI) SDFM-2 通道 1 时钟输入 PMBus-A 开漏双向数据 SCI-A 接收数据 EPWM-10 输出 A
GPIO26 OUTPUTXBAR3 EQEP2_INDEX QSPI_IO2 SPIB_CLK SD2_D2 PMBUSA_CTL I2CA_SDA EPWM10_B	0,4,8,12 1,5 2 3 6 7 10 11 15	73	58	I/O O I/O I/O I/O I I/O I/OD O	通用输入输出 26 输出 X-BAR 输出 3 eQEP-2 索引 QSPI 数据输入 2 SPI-B 时钟 SDFM-2 通道 2 数据输入 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向时钟 EPWM-10 输出 B
GPIO27 OUTPUTXBAR4 EQEP2_STROBE QSPI_IO3 SPIB_STE SD2_C2 PMBUSA_ALERT I2CA_SCL	0,4,8,12 1,5 2 3 6 7 10 11	74	59	I/O O I/O I/O I/O I I/OD I/OD	通用输入输出 27 输出 X-BAR 输出 4 eQEP-2 选通 QSPI 数据输入 3 SPI-B 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟
GPIO28 SCIA_RX OUTPUTXBAR9 EPWM7_A OUTPUTXBAR5 EQEP1_A SD2_D3 EQEP2_STROBE LINA_TX SPIB_CLK ERRORSTS I2CB_SDA EPWM12_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	125	1	I/O I O O O I I/O O O I/O O I/OD O	通用输入输出 28 SCI-A 接收数据 输出 X-BAR 输出 9 ePWM-7 输出 A 输出 X-BAR 输出 5 eQEP-1 输入 A SDFM-2 通道 3 数据输入 eQEP-2 选通 LIN-A 发送 SPI-B 时钟 错误状态输出。该信号需要外部下拉。 I2C-B 开漏双向数据 EPWM-12 输出 A

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO29 SCIA_TX OUTPUTXBAR10 EPWM7_B OUTPUTXBAR6 EQEP1_B SD2_C3 EQEP2_INDEX LINA_RX SPIB_STE ERRORSTS I2CB_SCL EPWM12_B AUXCLKIN	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15 ALT	124	100	I/O O O O O I I I/O I I/O O I/O O I	通用输入输出 29 SCI-A 发送数据 输出 X-BAR 输出 10 ePWM-7 输出 B 输出 X-BAR 输出 6 eQEP-1 输入 B SDFM-2 通道 3 时钟输入 eQEP-2 索引 LIN-A 接收 SPI-B 从机发送使能 (STE) 错误状态输出, 该信号需要外部下拉。 I2C-B 开漏双向时钟 EPWM-12 输出 B Aux.时钟输入
GPIO30 CANA_RX OUTPUTXBAR11 SPIB_SIMO OUTPUTXBAR7 EQEP1_STROBE SD2_D4 CANB_RX EPWM1_A QSPI_IO1 EPWM12_A	0,4,8,12 1 2 3 5 6 7 10 11 13 15	122	98	I/O I O I/O O I/O I I O I/O O	通用输入输出 30 CAN-A 接收 输出 X-BAR 输出 11 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 7 eQEP-1 选通 SDFM-2 通道 4 数据输入 CAN-B 接收 ePWM-1 输出 A QSPI 数据输入 1 EPWM-12 输出 A
GPIO31 CANA_TX OUTPUTXBAR12 SPIB_SOMI OUTPUTXBAR8 EQEP1_INDEX SD2_C4 CANB_TX EPWM1_B QSPI_IO2 EPWM12_B	0,4,8,12 1 2 3 5 6 7 10 11 13 15	123	99	I/O O O I/O O I/O I O I/O O	通用输入输出 31 CAN-A 发送 输出 X-BAR 输出 12 SPI-B 从机输出, 主机输入 (SOMI) 输出 X-BAR 输出 8 eQEP-1 索引 SDFM-2 通道 4 时钟输入 CAN-B 发送 ePWM-1 输出 B QSPI 数据输入 2 EPWM-12 输出 B
GPIO32 I2CA_SDA QSPI_CLK SPIB_CLK EPWM8_B LINA_TX SD1_D2 CANA_TX PMBUSA_SDA ADCSOCBO CANB_STBY EPWM10_B	0,4,8,12 1 2 3 5 6 7 10 11 13 14 15	79	64	I/O I/O O I/O O O I O I/O O O O	通用输入输出 32 I2C-A 开漏双向数据 QSPI 时钟输入 SPI-B 时钟 ePWM-8 输出 B LIN-A 发送 SDFM-1 通道 2 数据输入 CAN-A 发送 PMBus-A 开漏双向数据 外部 ADC 的 ADC 转换 B 开始 CAN-B 待机模式输出 ePWM-10 输出 B
GPIO33 I2CA_SCL OUTPUTXBAR12 SPIB_STE OUTPUTXBAR4 LINA_RX SD1_C2 CANA_RX EQEP2_B ADCSOCAO SD1_C1	0,4,8,12 1 2 3 5 6 7 10 11 13 14	68	53	I/O I/O O I/O O I I I I O I	通用输入输出 33 I2C-A 开漏双向时钟 输出 X-BAR 输出 12 SPI-B 从机发送使能 (STE) 输出 X-BAR 输出 4 LIN-A 接收 SDFM-1 通道 2 时钟输入 CAN-A 接收 eQEP-2 输入 B 外部 ADC 的 ADC 转换 A 开始 SDFM-1 通道 1 时钟输入
GPIO34 OUTPUTXBAR1 PMBUSA_SDA QSPI_IO3 I2C1_SDA	0,4,8,12 1 6 13 14	118	94	I/O O I/O I/O I/O	通用输入输出 34 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 QSPI 数据输入 3 I2C1 开漏双向数据

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO35 SCIA_RX QSPI_CS I2CA_SDA CANA_RX PMBUSA_SCL LINA_RX EQEP1_A PMBUSA_CTL EPWM5_B SD2_C1 CLB_OUTPUTXBAR11 TDI	0,4,8,12 1 2 3 5 6 7 9 10 11 13 14 15	78	63	I/O O I/OD I/OD I/O O O 	通用输入输出 35 SCI-A 接收数据 QSPI 片选输出 I2C-A 开漏双向数据 CAN-A 接收 PMBus-A 开漏双向时钟 LIN-A 接收 eQEP-1 输入 A PMBus-A 控制信号-从机输入/主机输出 ePWM-5 输出 B SDFM-2 通道 1 时钟输入 CLB 输出 XBAR 输出 11 JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。
GPIO37 OUTPUTXBAR2 I2CA_SCL SCIA_TX CANA_TX LINA_TX EQEP1_B PMBUSA_ALERT CLB_OUTPUTXBAR12 TDO	0,4,8,12 1 3 5 6 7 9 10 14 15	76	61	I/O O I/OD O O O I/OD O O	通用输入输出 37 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 SCI-A 发送数据 CAN-A 发送 LIN-A 发送 eQEP-1 输入 B PMBus-A 开漏双向报警 CLB 输出 XBAR 输出 12 JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。
GPIO39 OUTPUTXBAR9 CANB_RX EQEP2_INDEX CLB_OUTPUTXBAR2 SYNCOUT EQEP1_INDEX	0,4,8,12 2 6 9 11 13 14	92		I/O O I/O O O I/O	通用输入输出 39 输出 X-BAR 输出 9 CAN-B 接收 eQEP-2 索引 CLB 输出 X-BAR 输出 2 外部 ePWM 同步脉冲 eQEP-1 索引
GPIO40 SPIB_SIMO OUTPUTXBAR10 EPWM2_B PMBUSA_SDA SCIB_TX EQEP1_A LINB_TX EPWM11_A	0,4,8,12 1 2 5 6 9 10 11 15	100	80	I/O I/O O O I/OD O O O	通用输入输出 40 SPI-B 从机输入, 主机输出 (SIMO) 输出 X-BAR 输出 10 ePWM-2 输出 B PMBus-A 开漏双向数据 SCI-B 发送数据 eQEP-1 输入 A LIN-B 发送 EPWM-11 输出 A
GPIO41 OUTPUTXBAR11 EPWM2_A PMBUSA_SCL SCIB_RX EQEP1_B LINB_RX SPI1_SOMI EPWM11_B	0,4,8,12 2 5 6 9 10 11 14 15	103	82	I/O O O I/OD I/O O	通用输入输出 41 输出 X-BAR 输出 11 ePWM-2 输出 A PMBus-A 开漏双向时钟 SCI-B 接收数据 eQEP-1 输入 B LIN-B 接收 SPI-B 从机输出, 主机输入 (SOMI) EPWM-11 输出 B
GPIO42 LINA_RX OUTPUTXBAR5 PMBUSA_CTL I2CA_SDA EQEP1_STROBE CLB_OUTPUTXBAR3 CLB_OUTPUTXBAR9 EPWM9_A	0,4,8,12 2 3 5 6 10 11 14 15	93		I/O O I/O I/OD I/O O O O	通用输入输出 42 LIN-A 接收 输出 X-BAR 输出 5 PMBus-A 控制信号-从机输入/主机输出 I2C-A 开漏双向数据 eQEP-1 选通 CLB 输出 X-BAR 输出 3 CLB 输出 X-BAR 输出 9 ePWM-9 输出 A
GPIO43 OUTPUTXBAR6 PMBUSA_ALERT I2CA_SCL EQEP1_INDEX CLB_OUTPUTXBAR4 SD2_D3 EPWM9_B	0,4,8,12 3 5,9 6 10 11 13 15	89		I/O O I/OD I/OD I/O O O	通用输入输出 43 输出 X-BAR 输出 6 PMBus-A 开漏双向报警 I2C-A 开漏双向时钟 eQEP-1 索引 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 数据输入 ePWM-9 输出 B

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO44 OUTPUTXBAR7 EQEP1_A PMBUSA_SDA PMBUSA_CTL CLB_OUTPUTXBAR3 LINB_TX	0,4,8,12 3 5 6 9 10 14	106	85	I/O O I I/OD I/O O O	通用输入输出 44 输出 X-BAR 输出 7 eQEP-1 输入 A PMBus-A 开漏双向数据 PMBus-A 控制信号-从机输入/主机输出 CLB 输出 X-BAR 输出 3 LIN-B 发送
GPIO45 OUTPUTXBAR8 PMBUSA_ALERT CLB_OUTPUTXBAR4 SD2_C3 CLB_OUTPUTXBAR11	0,4,8,12 3 9 10 13 14	111		I/O O I/OD O I O	通用输入输出 45 输出 X-BAR 输出 8 PMBus-A 开漏双向报警 CLB 输出 X-BAR 输出 4 SDFM-2 通道 3 时钟输入 CLB 输出 XBAR 输出 11
GPIO46 LINA_TX CANB_TX PMBUSA_SDA SD2_C4 CLB_OUTPUTXBAR12	0,4,8,12 3 5 9 13 14	127		I/O O O I/OD I O	通用输入输出 46 LIN-A 发送 CAN-B 发送 PMBus-A 开漏双向数据 SDFM-2 通道 4 时钟输入 CLB 输出 XBAR 输出 12
GPIO47 OUTPUTXBAR9 LINA_RX CANB_RX CLB_OUTPUTXBAR2 PMBUSA_SCL SD2_D4	0,4,8,12 2 3 5 7 9 13	3	6	I/O O I I O I/OD I	通用输入输出 47 输出 X-BAR 输出 9 LIN-A 接收 CANB-接收 CLB 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SDFM-2 通道 4 数据输入
GPIO48 OUTPUTXBAR3 CANA_TX SCIA_TX SD1_D1 PMBUSA_SDA QSPI_IO0	0,4,8,12 1 3 6 7 9 15	4	7	I/O O O O I I/OD I/O	通用输入输出 48 输出 X-BAR 输出 3 CAN-A 发送 SCI-A 发送 SDFM-1 通道 1 数据输入 PMBus-A 开漏双向数据 QSPI 输入输出 0
GPIO49 OUTPUTXBAR4 CANA_RX SCIA_RX SD1_C1 LINA_RX SD2_D1 QSPI_IO1	0,4,8,12 1 3 6 7 9 13 15	5	8	I/O O I I I I I/O	通用输入输出 49 输出 X-BAR 输出 4 CAN-A 接收 SCI-A 接收数据 SDFM-1 通道 1 时钟输入 LIN-A 接收 SDFM-2 通道 1 数据输入 QSPI 输入输出 1
GPIO50 EQEP1_A CANB_TX SPIB_SIMO SD1_D2 I2CB_SDA CLB_OUTPUTXBAR9 QSPI_IO2 SD2_D2 EPWM9_A	0,4,8,12 1 5 6 7 9 10 11 13 15	6	9	I/O I O I/OD I I/OD O I/O I O	通用输入输出 50 eQEP-1 输入 A CAN-B 发送 SPI-B 从机输入, 主机输出 (SIMO) SDFM-1 通道 2 数据输入 I2C-B 开漏双向数据 CLB 输出 XBAR9 QSPI 输入输出 2 SDFM-2 通道 2 数据输入 EPWM-9 输出 A
GPIO51 EQEP1_B CANB_RX SPIB_SOMI SD1_C2 I2CB_SCL CLB_OUTPUTXBAR10 QSPI_IO3 SD2_D3 EPWM9_B	0,4,8,12 1 5 6 7 9 10 11 13 15	7	10	I/O I I I/O I I/OD O I/O I O	通用输入输出 51 eQEP-1 输入 B CAN-B 接收 SPI-B 从机输出, 主机输入 (SOMI) SDFM-1 通道 2 时钟输入 I2C-B 开漏双向时钟 CLB 输出 XBAR10 QSPI 输入输出 3 SDFM-2 通道 3 数据输入 EPWM-9 输出 B
GPIO52 EQEP1_STROBE CLB_OUTPUTXBAR5 SPIB_CLK SD1_D3 SYNCOUT SD2_D4	0,4,8,12 1 5 6 7 9 13	8	11	I/O I/O O I/O I O I	通用输入输出 52 eQEP-1 选通 CLB 输出 X-BAR 输出 5 SPI-B 时钟 外部 ePWM 同步脉冲 通用输入输出 52

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
QSPI_CLK	15			O	QSPI 时钟输出
GPIO53 EQEP1_INDEX EPWM11_B CLB_OUTPUTXBAR6 SPIB_STE SD1_C3 ADCSOCAO CANA_RX SD1_C1 QSPI_CS	0,4,8,12 1 2 5 6 7 9 10 13 15	9	12	I/O I/O O O I/O I O I I O	通用输入输出 53 eQEP-1 索引 EPWM-11 输出 B CLB 输出 X-BAR 输出 6 SPI-B 从机发送使能 (STE) SDFM-1 通道 3 时钟输入 外部 ADC 的 ADC 转换 A 开始 CAN-A 接收 SDFM-1 通道 1 时钟输入 QSPI 片选输出
GPIO54 SPIA_SIMO EPWM11_A EQEP2_A OUTPUTXBAR2 SD1_D4 ADCSOCBO LINB_TX CLB_OUTPUTXBAR11 SD1_C2	0,4,8,12 1 2 5 6 7 9 10 11 13	10	13	I/O I/O O I O I O O O I	通用输入输出 54 SPI-A 从机输入, 主机输出 (SIMO) EPWM-11 输出 A eQEP-2 输入 A 输出 X-BAR 输出 2 SDFM1 通道 4 数据输入 外部 ADC 的 ADC 转换 B 开始 LIN-B 发送 CLB 输出 XBAR11 SDFM1 通道 2 时钟输入
GPIO55 SPIA_SOMI EQEP2_B OUTPUTXBAR3 SD1_C4 ERRORSTS LINB_RX SD1_C3 CLB_OUTPUTXBAR12	0,4,8,12 1 5 6 7 9 10 13 14	54	43	I/O I/O I O I O I I O	通用输入输出 55 SPIA 从机输入, 主机输入 (SOMI) eQEP-2 输入 B 输出 X-BAR 输出 3 SDFM-1 通道 4 时钟输入 错误状态输出。该信号需要外部下拉。 LIN-B 接收 SDFM-1 通道 3 时钟输入 CLB 输出 XBAR12
GPIO56 SPIA_CLK CLB_OUTPUTXBAR7 CANB_TX EQEP2_STROBE SCIB_TX SD2_D1 SPIB_SIMO I2CA_SDA EQEP1_A SD1_C4 EPWM10_A	0,4,8,12 1 2 3 5 6 7 9 10 11 13 15	80	65	I/O I/O O O I/O O I I/O I I O	通用输入输出 56 SPIA 时钟 CLB 输出 X-BAR 输出 7 CAN-B 发送 eQEP-2 选通 SCI-B 发送数据 SDFM-2 通道 1 数据输入 SPI-B 从机输入, 主机输出 (SIMO) I2C-A 开漏双向数据 eQEP-1 输入 A SDFM-1 通道 4 时钟输入 EPWM-10 输出 A
GPIO57 SPIA_STE CLB_OUTPUTXBAR8 CANB_RX EQEP2_INDEX SCIB_RX SD2_C1 SPIB_SOMI I2CA_SCL EQEP1_B EPWM10_B	0,4,8,12 1 2 3 5 6 7 9 10 11 15	81	66	I/O I/O O I I/O I I I/O I/O I O	通用输入输出 57 SPI-A 从机发送使能 (STE) CLB 输出 X-BAR 输出 8 CAN-B 接收 eQEP-2 索引 SCI-B 接收数据 SDFM-2 通道 1 时钟输入 SPI-B 从机输出, 主机输入 (SOMI) I2C-A 开漏双向时钟 eQEP-1 输入 B EPWM-10 输出 B
GPIO58 OUTPUTXBAR1 SPIB_CLK SD2_D2 LINA_TX CANA_TX EQEP1_STROBE SD2_C2	0,4,8,12 5 6 7 9 10 11 13	82	67	I/O O I/O I O O I/O I	通用输入输出 58 输出 X-BAR 输出 1 SPI-B 时钟 SDFM-2 通道 2 数据输入 LIN-A 发送 CAN-A 发送 eQEP-1 选通 SDFM-2 通道 2 时钟输入

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
GPIO59 OUTPUTXBAR2 SPIB_STE SD2_C2 LINA_RX CANA_RX EQEP1_INDEX SD2_C3	0,4,8,12 5 6 7 9 10 11 13	116	92	I/O O I/O I I I/O I	通用输入输出 59 输出 X-BAR 输出 2 SPIB 从机发送使能 (STE) SDFM-2 通道 2 时钟输入 LIN-A 接收 CAN-A 接收 eQEP-1 索引 SDFM-2 通道 3 时钟输入
GPIO60 CANB_TX OUTPUTXBAR3 SPIB_SIMO SD2_D3 SD2_C4 CANA_STBY	0,4,8,12 3 5 6 7 13 15	55	44	I/O O O I/O I I O	通用输入输出 60 CAN-B 发送 输出 X-BAR 输出 3 SPI-B 从机输入, 主机输出 (SIMO) SDFM-2 通道 3 数据输入 SDFM-2 通道 4 时钟输入 CAN-A 待机模式输出
GPIO61 CANB_RX OUTPUTXBAR4 SPIB_SOMI SD2_C3 CANA_RX CANB_STBY	0,4,8,12 3 5 6 7 14 15	114	91	I/O I O I/O I I O	通用输入输出 61 CAN-B 接收 输出 X-BAR 输出 4 SPIB 从机输出, 主机输入 (SOMI) SDFM-2 通道 3 时钟输入 CAN-A 接收 CAN-B 待机模式输出
GPIO62	0,4,8,12	63		I/O	通用输入输出 62
GPIO63	0,4,8,12	62		I/O	通用输入输出 63
GPIO64	0,4,8,12	65		I/O	通用输入输出 64
GPIO65	0,4,8,12	64		I/O	通用输入输出 65
GPIO66	0,4,8,12	115		I/O	通用输入输出 66
GPIO67	0,4,8,12	107		I/O	通用输入输出 67
GPIO68	0,4,8,12	101		I/O	通用输入输出 68
测试, JTAG, 与复位					
TCK		75	60	I	带内部上拉电阻的 JTAG 测试时钟。
TMS		77	62	I/O	具有内部上拉电阻的 JTAG 测试模式选择 (TMS)。该串行控制输入在 TCK 的上升沿按时钟输入 TAP 控制器。该器件没有 TRSTn 引脚。TMS 引脚到 VDDIO 的外部上拉电阻器 (推荐 2.2 kΩ) 应放置在电路板上, 以在正常操作期间保持 JTAG 处于复位状态。
XRSn		126	2	I/OD	设备复位 (输入) 和看门狗复位 (输出)。在上电条件下, 该引脚被器件驱动为低电平。外部电路也可以驱动该引脚来让设备复位。当发生看门狗复位时, 该引脚也被 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2 kΩ 和 10 kΩ 之间的电阻器。芯片内部支持滤毛刺处理, 建议不需要增加额外的电容。当看门狗复位有效时, 这些值将允许看门狗在 512 个 OSCCLK 周期内将 XRSn 引脚正确驱动至 VOL。该引脚是带内部上拉电阻的开漏输出。如果此引脚由外部设备驱动, 则应使用开漏器件来驱动
电源与接地					
VDD		1, 57, 88, 109	4, 46, 71, 87		1.1V 数字逻辑电源引脚。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VDDA		18, 42	34		3.3V 模拟电源引脚。在每个引脚上放置一个最小 2.2μF 的去耦电容器。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VDDIO		58, 87, 110, 128	3, 47, 70, 88		3.3V 数字 I/O 电源引脚。有关使用详情, 请参阅电源管理模块 (PMM) 部分。
VREGENZ		91	73	I	内部稳压器禁用内部下拉。连接到 VSS 以启用内部 VREG。连接到 VDDIO 以使用外部电源。有关使用详情, 请参阅电源管理模块 (PMM) 部分。

信号名称	复用位置	128 PBJ	100 PZ	引脚类型	说明
VSS		2, 56, 90, 108	5, 45, 72, 86		数字地
VSSA		19, 41	33		模拟地

格见半导体
Gejian Semi. confidential - NDA Restrictions

5.3 引脚复用

5.3.1 引脚复用表

5.3.1.1 GS32F0039/GS32F0039-Q GPIO 引脚复用表

0,4,8,12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	OUTPUTXBAR9			I2CA_SDA	SPIA_STE		CANB_RX	CLB_OUTPUTXBAR8	EQEP1_INDEX		QSPI_IO0	
GPIO1	EPWM1_B	OUTPUTXBAR10			I2CA_SCL	SPIA_SOMI		CANB_TX	CLB_OUTPUTXBAR7	CANA_STBY		QSPI_IO1	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX		I2CB_SDA	QSPI_IO2	CANA_TX		
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX		I2CB_SCL	QSPI_IO3	CANA_RX		
GPIO4	EPWM3_A		CANB_TX	OUTPUTXBAR3	CANA_TX	SPIB_CLK	EQEP2_STROBE		CLB_OUTPUTXBAR6		CANB_STBY	QSPI_CLK	
GPIO5	EPWM3_B		OUTPUTXBAR3	CANB_RX	CANA_RX	SPIA_STE		CLB_OUTPUTXBAR5					
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI					CLB_OUTPUTXBAR8	QSPI_IO0	
GPIO7	EPWM4_B		OUTPUTXBAR5	EQEP1_B	CANB_RX	SPIB_SIMO		CLB_OUTPUTXBAR2					
GPIO8	EPWM5_A	CANB_TX	ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL		CLB_OUTPUTXBAR5			QSPI_CS	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK			LINB_RX		I2CB_SCL	CLB_OUTPUTXBAR11	
GPIO10	EPWM6_A	CANB_RX	ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA		LINB_TX			CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE		LINB_RX	EQEP2_A	SPIA_SIMO		CLB_OUTPUTXBAR12	
GPIO12	EPWM7_A	CANB_TX	CANB_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL		LINB_TX	SPIA_CLK	CANA_RX		CLB_OUTPUTXBAR9	
GPIO13	EPWM7_B	CANB_RX	CANB_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT		LINB_RX	SPIA_SOMI	CANA_TX		CLB_OUTPUTXBAR10	
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUTXBAR7	QSPI_CS	
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUTXBAR6	QSPI_CLK	
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI		
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXBAR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA	CANA_TX				
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX			X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINB_RX			X1
GPIO20	EQEP1_A			OUTPUTXBAR9	SPIB_SIMO	SD1_D3	CANB_RX						
GPIO21	EQEP1_B			OUTPUTXBAR10	SPIB_SOMI	SD1_C3	CANB_RX						
GPIO22	EQEP1_STROBE		SCIB_TX	OUTPUTXBAR11	SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINB_TX		EPWM4_A		
GPIO23	EQEP1_INDEX		SCIB_RX	OUTPUTXBAR12	SPIB_STE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINB_RX		EPWM4_B		
GPIO24	OUTPUTXBAR1	EQEP2_A	QSPI_IO0	EPWM8_A	SPIB_SIMO	SD2_D1	LINA_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS	CANA_STBY		
GPIO25	OUTPUTXBAR2	EQEP2_B	QSPI_IO1	EQEP1_A	SPIB_SOMI	SD2_C1		PMBUSA_SDA	SCIA_RX				
GPIO26	OUTPUTXBAR3	EQEP2_INDEX	QSPI_IO2	OUTPUTXBAR3	SPIB_CLK	SD2_D2		PMBUSA_CTL	I2CA_SDA				
GPIO27	OUTPUTXBAR4	EQEP2_STROBE	QSPI_IO3	OUTPUTXBAR4	SPIB_STE	SD2_C2		PMBUSA_ALERT	I2CA_SCL				
GPIO28	SCIA_RX	OUTPUTXBAR9	EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX	OUTPUTXBAR10	EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL		AUXCLKIN
GPIO30	CANA_RX	OUTPUTXBAR11	SPIB_SIMO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4		CANB_RX	EPWM1_A	QSPI_IO1			
GPIO31	CANA_TX	OUTPUTXBAR12	SPIB_SOMI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4		CANB_TX	EPWM1_B	QSPI_IO2			
GPIO32	I2CA_SDA	QSPI_CLK	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2		CANA_TX	PMBUSA_SDA	ADCSOCBO	CANB_STBY		
GPIO33	I2CA_SCL	OUTPUTXBAR12	SPIB_STE	OUTPUTXBAR4	LINA_RX	SD1_C2		CANA_RX	EQEP2_B	ADCSOCAO	SD1_C1		
GPIO34	OUTPUTXBAR1				PMBUSA_SDA					QSPI_IO3	I2CB_SDA		
GPIO35	SCIA_RX	QSPI_CS	I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1	CLB_OUTPUTXBAR11	TDI	
GPIO37	OUTPUTXBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALERT			CLB_OUTPUTXBAR12	TDO	
GPIO39		OUTPUTXBAR9			CANB_RX		EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX		
GPIO40	SPIB_SIMO	OUTPUTXBAR10		EPWM2_B	PMBUSA_SDA		SCIB_TX	EQEP1_A	LINB_TX				
GPIO41		OUTPUTXBAR11		EPWM2_A	PMBUSA_SCL		SCIB_RX	EQEP1_B	LINB_RX			SPIB_SOMI	
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA			EQEP1_STROBE	CLB_OUTPUTXBAR3			CLB_OUTPUTXBAR9	
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL		PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3		CLB_OUTPUTXBAR10	
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA		PMBUSA_CTL	CLB_OUTPUTXBAR3			LINB_TX		
GPIO45			OUTPUTXBAR8				PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3		CLB_OUTPUTXBAR11	
GPIO46			LINA_TX	CANB_TX			PMBUSA_SDA			SD2_C4		CLB_OUTPUTXBAR12	
GPIO47		OUTPUTXBAR9	LINA_RX	CANB_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4			
GPIO48	OUTPUTXBAR3		CANA_TX		SCIA_TX	SD1_D1	PMBUSA_SDA					QSPI_IO0	
GPIO49	OUTPUTXBAR4		CANA_RX		SCIA_RX	SD1_C1	LINA_RX			SD2_D1		QSPI_IO1	
GPIO50	EQEP1_A			CANB_TX	SPIB_SIMO	SD1_D2	I2CB_SDA	CLB_OUTPUTXBAR9	QSPI_IO2	SD2_D2			
GPIO51	EQEP1_B			CANB_RX	SPIB_SOMI	SD1_C2	I2CB_SCL	CLB_OUTPUTXBAR10	QSPI_IO3	SD2_D3			
GPIO52	EQEP1_STROBE				CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT		SD2_D4		QSPI_CLK	
GPIO53	EQEP1_INDEX				CLB_OUTPUTXBAR6	SPIB_STE	SD1_C3	ADCSOCAO	CANA_RX	SD1_C1		QSPI_CS	
GPIO54	SPIA_SIMO			EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOCBO	LINB_TX	CLB_OUTPUTXBAR11	SD1_C2			
GPIO55	SPIA_SOMI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINB_RX		SD1_C3	CLB_OUTPUTXBAR12		
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	CANB_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_SIMO	I2CA_SDA	EQEP1_A	SD1_C4			
GPIO57	SPIA_STE	CLB_OUTPUTXBAR8	CANB_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_SOMI	I2CA_SCL	EQEP1_B				
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX	CANA_TX	EQEP1_STROBE				
GPIO59				OUTPUTXBAR2	SPIB_STE	SD2_C2	LINA_RX	CANA_RX	EQEP1_INDEX				
GPIO60			CANB_TX	OUTPUTXBAR3	SPIB_SIMO	SD2_D3						CANA_STBY	
GPIO61			CANB_RX	OUTPUTXBAR4	SPIB_SOMI	SD2_C3					CANA_RX	CANB_STBY	

5.3.1.2 GS32F0039H/GS32F0039H-Q GPIO 引脚复用表

0,4,8,12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	OUTPUTXBAR9			I2CA_SDA	SPIA_STE		CANB_RX	CLB_OUTPUTXBAR8	EQEP1_INDEX		QSPI_IO0	
GPIO1	EPWM1_B	OUTPUTXBAR10			I2CA_SCL	SPIA_SOMI		CANB_TX	CLB_OUTPUTXBAR7	CANA_STBY		QSPI_IO1	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX		I2CB_SDA	QSPI_IO2	CANA_TX	CLB_OUTPUTXBAR9	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX		I2CB_SCL	QSPI_IO3	CANA_RX	CLB_OUTPUTXBAR10	
GPIO4	EPWM3_A		CANB_TX	OUTPUTXBAR3	CANA_TX	SPIB_CLK	EQEP2_STROBE		CLB_OUTPUTXBAR6		CANB_STBY	QSPI_CLK	
GPIO5	EPWM3_B		OUTPUTXBAR3	CANB_RX	CANA_RX	SPIA_STE			CLB_OUTPUTXBAR5				
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI					CLB_OUTPUTXBAR8	QSPI_IO0	
GPIO7	EPWM4_B		OUTPUTXBAR5	EQEP1_B	CANB_RX	SPIB_SIMO			CLB_OUTPUTXBAR2				
GPIO8	EPWM5_A	CANB_TX	ADCSOAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL		CLB_OUTPUTXBAR5			QSPI_CS	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIB_RX	SPIA_CLK			LINB_RX		I2CB_SCL	CLB_OUTPUTXBAR11	
GPIO10	EPWM6_A	CANB_RX	ADCSOAO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA		LINB_TX			CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE		LINB_RX	EQEP2_A	SPIA_SIMO		CLB_OUTPUTXBAR12	
GPIO12	EPWM7_A	CANB_TX	CANB_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL		LINB_TX	SPIA_CLK	CANA_RX		CLB_OUTPUTXBAR9	
GPIO13	EPWM7_B	CANB_RX	CANB_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT		LINB_RX	SPIA_SOMI	CANA_TX		CLB_OUTPUTXBAR10	
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUTXBAR7	QSPI_CS	
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUTXBAR6	QSPI_CLK	
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI	EPWM9_A	
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXBAR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA	CANA_TX			EPWM9_A	
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX			X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINB_RX			X1
GPIO20	EQEP1_A			OUTPUTXBAR9	SPIB_SIMO	SD1_D3	CANB_RX						
GPIO21	EQEP1_B			OUTPUTXBAR10	SPIB_SOMI	SD1_C3	CANB_RX						
GPIO22	EQEP1_STROBE		SCIB_TX	OUTPUTXBAR11	SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINB_TX		EPWM4_A	EPWM11_A	
GPIO23	EQEP1_INDEX		SCIB_RX	OUTPUTXBAR12	SPIB_STE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINB_RX		EPWM4_B	EPWM11_B	
GPIO24	OUTPUTXBAR1	EQEP2_A	QSPI_IO0	EPWM8_A	SPIB_SIMO	SD2_D1	LINA_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS	CANA_STBY	EPWM10_A	
GPIO25	OUTPUTXBAR2	EQEP2_B	QSPI_IO1	EQEP1_A	SPIB_SOMI	SD2_C1		PMBUSA_SDA	SCIA_RX			EPWM10_A	
GPIO26	OUTPUTXBAR3	EQEP2_INDEX	QSPI_IO2	OUTPUTXBAR3	SPIB_CLK	SD2_D2		PMBUSA_CTL	I2CA_SDA			EPWM10_B	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE	QSPI_IO3	OUTPUTXBAR4	SPIB_STE	SD2_C2		PMBUSA_ALERT	I2CA_SCL				
GPIO28	SCIA_RX	OUTPUTXBAR9	EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	EPWM12_A	
GPIO29	SCIA_TX	OUTPUTXBAR10	EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL	EPWM12_B	AUXCLKIN
GPIO30	CANA_RX	OUTPUTXBAR11	SPIB_SIMO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4		CANB_RX	EPWM1_A	QSPI_IO1		EPWM12_A	
GPIO31	CANA_TX	OUTPUTXBAR12	SPIB_SOMI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4		CANB_TX	EPWM1_B	QSPI_IO2		EPWM12_B	
GPIO32	I2CA_SDA	QSPI_CLK	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2		CANA_TX	PMBUSA_SDA	ADCSOAO	CANB_STBY	EPWM10_B	
GPIO33	I2CA_SCL	OUTPUTXBAR12	SPIB_STE	OUTPUTXBAR4	LINA_RX	SD1_C2		CANA_RX	EQEP2_B	ADCSOAO	SD1_C1		
GPIO34	OUTPUTXBAR1				PMBUSA_SDA					QSPI_IO3	I2CB_SDA		
GPIO35	SCIA_RX	QSPI_CS	I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1	CLB_OUTPUTXBAR11	TDI	
GPIO37	OUTPUTXBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALERT			CLB_OUTPUTXBAR12	TDO	
GPIO39		OUTPUTXBAR9			CANB_RX		EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX		
GPIO40	SPIB_SIMO	OUTPUTXBAR10		EPWM2_B	PMBUSA_SDA		SCIB_TX	EQEP1_A	LINB_TX			EPWM11_A	
GPIO41		OUTPUTXBAR11		EPWM2_A	PMBUSA_SCL		SCIB_RX	EQEP1_B	LINB_RX		SPIB_SOMI	EPWM11_B	
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA			EQEP1_STROBE	CLB_OUTPUTXBAR3			EPWM9_A	
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL		PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3	CLB_OUTPUTXBAR10	EPWM9_B	
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA		PMBUSA_CTL	CLB_OUTPUTXBAR3			LINB_TX		
GPIO45			OUTPUTXBAR8				PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3	CLB_OUTPUTXBAR11		
GPIO46			LINA_TX	CANB_TX			PMBUSA_SDA			SD2_C4	CLB_OUTPUTXBAR12		
GPIO47		OUTPUTXBAR9	LINA_RX	CANB_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4			
GPIO48	OUTPUTXBAR3		CANA_TX		SCIA_TX	SD1_D1	PMBUSA_SDA					QSPI_IO0	
GPIO49	OUTPUTXBAR4		CANA_RX		SCIA_RX	SD1_C1	LINA_RX			SD2_D1		QSPI_IO1	
GPIO50	EQEP1_A			CANB_TX	SPIB_SIMO	SD1_D2	I2CB_SDA	CLB_OUTPUTXBAR9	QSPI_IO2	SD2_D2		EPWM9_A	
GPIO51	EQEP1_B			CANB_RX	SPIB_SOMI	SD1_C2	I2CB_SCL	CLB_OUTPUTXBAR10	QSPI_IO3	SD2_D3		EPWM9_B	
GPIO52	EQEP1_STROBE			CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4		QSPI_CLK	
GPIO53	EQEP1_INDEX	EPWM11_B		CLB_OUTPUTXBAR6	SPIB_STE	SD1_C3	ADCSOAO	CANA_RX		SD1_C1		QSPI_CS	
GPIO54	SPIA_SIMO	EPWM11_A		EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOAO	LINB_TX	CLB_OUTPUTXBAR11	SD1_C2			
GPIO55	SPIA_SOMI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINB_RX		SD1_C3	CLB_OUTPUTXBAR12		
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	CANB_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_SIMO	I2CA_SDA	EQEP1_A	SD1_C4		EPWM10_A	
GPIO57	SPIA_STE	CLB_OUTPUTXBAR8	CANB_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_SOMI	I2CA_SCL	EQEP1_B			EPWM10_B	
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX	CANA_TX	EQEP1_STROBE	SD2_C2			
GPIO59				OUTPUTXBAR2	SPIB_STE	SD2_C2	LINA_RX	CANA_RX	EQEP1_INDEX	SD2_C3			
GPIO60			CANB_TX	OUTPUTXBAR3	SPIB_SIMO	SD2_D3				SD2_C4		CANA_STBY	
GPIO61			CANB_RX	OUTPUTXBAR4	SPIB_SOMI	SD2_C3					CANA_RX	CANB_STBY	

5.3.2 ADC 引脚上的数字输入(AIO)

端口 H 上的 GPIO (GPIO224 – GPIO253) 与模拟引脚进行多路复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

5.3.3 模拟数字混合引脚配置说明 (AGPIO)

该器件上的一些 GPIO 与模拟引脚多路复用。这些也被称为 AGPIO，且 AGPIO 具有完整的输入和输出能力。该设备有三个 AGPIO (AGPIO13、AGPIO20 和 AGPIO21)，在 100 引脚 PZ 和 80 引脚 PN 封装上提供此功能。

100 引脚 PZ: 这种封装上具有用于 B5 (引脚 32) 和 B11 (引脚 30) 的专用引脚，这些引脚分别还 AIO252 和 AIO251 功能。此外，GPIO20 (引脚 48) 和 GPIO21 (引脚 49) 也可分别用作 B5 和 B11。由于 B5 和 B11 是这种封装上的专用引脚，因此建议使用它们代替 GPIO20/21 上的引脚。该封装具有的 GPIO13 可用作 A15，A15 没有专用引脚。

80 引脚 PN: 在这种封装上，GPIO20 (引脚 33) 和 GPIO21 (引脚 34) 也可分别用作 B5 和 B11。B5 和 B11 没有专用引脚。

默认情况下，AGPIO 未连接，必须进行配置。下表显示了如何配置 AGPIO。

表 5-1. AGPIO 13 配置

GPAAMSEL.bit.GPIO13	GPIO13 连接至	
	ADC_A15	GPIO13
0	-	是
1	是	-

表 5-2. AGPIO 20 配置

AGPIOCTRLA.bit.GPIO20	GPAAMSEL.bit.GPIO20	GPHAMSEL.bit.GPIO252	B5 连接至			GPIO20 连接至		
			ADC	GPIO20	AIO252	ADC	GPIO20	AIO252
0	0	1	是	-	-	-	是	-
0	1	1	是	-	-	-	-	-
1	0	1	是	-	-	-	是	-
1	1	1	-	-	-	是	-	-
0	0	0	是	-	是	-	是	-
0	1	0	是	-	是	-	-	-
1	0	0	是	-	是	-	是	-
1	1	0	-	-	是	是	-	-

表 5-3. AGPIO 21 配置

AGPIOCTRLA.bit.GPIO21	GPAAMSEL.bit.GPIO21	GPHAMSEL.bit.GPIO251	B11 连接至			GPIO21 连接至		
			ADC	GPIO21	AIO252	ADC	GPIO21	AIO251
0	0	1	是	-	-	-	是	-
0	1	1	是	-	-	-	-	-
1	0	1	是	-	-	-	是	-
1	1	1	-	-	-	是	-	-
0	0	0	是	-	是	-	是	-
0	1	0	是	-	是	-	-	-
1	0	0	是	-	是	-	是	-
1	1	0	-	-	是	是	-	-

备注: 如果具有突变 (高 dv/dt) 的数字信号连接到 AGPIO，则相邻的模拟信号可能发生串扰。因此，如果相邻信道用于模拟功能，则用户应限制连接到 AGPIO 的信号斜率。

5.3.4 XBAR

交叉开关（在本章中称为 X-BAR）提供了在各种配置中连接设备输入、输出和内部资源的灵活性。该设备总共包含六个 X-BAR:

- 输入 X-BAR
- 输入 CLB X-BAR
- ePWM X-BAR
- CLB X-BAR
- 输出 X-BAR
- 输出 CLB X-BAR

每个 X-BAR 都是根据它们接收信号的位置命名的。例如，Input X-BAR 将外部信号“输入”到设备。Output X-BAR 将设备的内部信号“输出”到 GPIO。

5.3.4.1 Input X-BAR 和 eCLB Input X-BAR

在该设备上，输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断。输入 X-BAR 可以访问每个 GPIO，并可以将每个信号路由到前面提到的任何（或多个）IP 块。

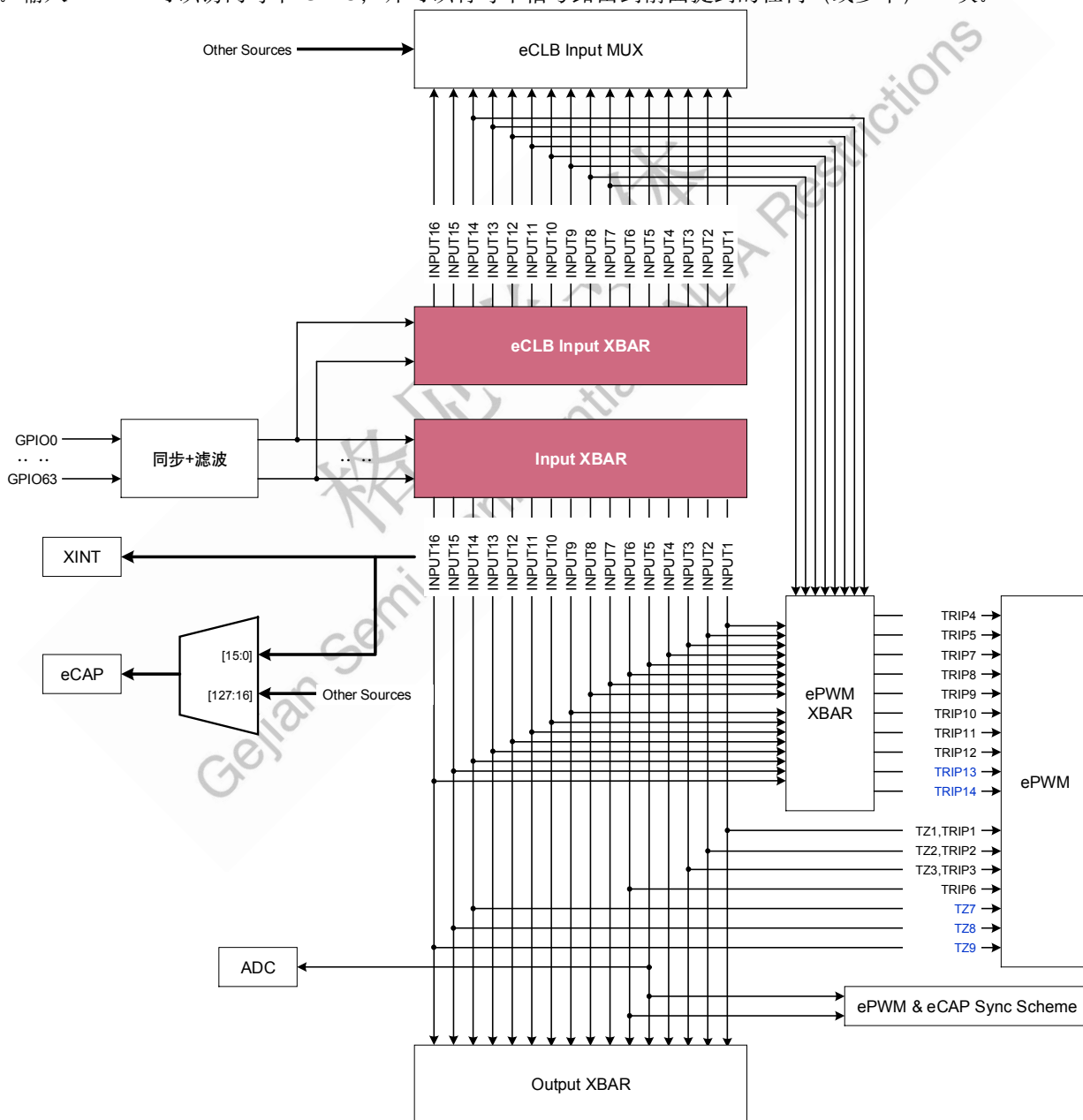


图 5-7. Input X-BAR 和 eCLB Input X-BAR

表 5-4. Input X-BAR 输出到模块映射

	eCAP	ePWM XBAR	Output XBAR	XINT	ePWM	ADC	ePWM&eCAP Sync
INPUT1	Y	Y	Y	Y	TZ1/TRIP1		
INPUT2	Y	Y	Y	Y	TZ2/TRIP2		
INPUT3	Y	Y	Y	Y	TZ3/TRIP3		
INPUT4	Y	Y	Y	Y			
INPUT5	Y	Y	Y	Y		ADCEXTSOC	EXTSYNCIN1
INPUT6	Y	Y	Y	Y	TRIP6		EXTSYNCIN2
INPUT7	Y	Y	Y	Y			
INPUT8	Y	Y	Y	Y			
INPUT9	Y	Y	Y	Y			
INPUT10	Y	Y	Y	Y			
INPUT11	Y	Y	Y	Y			
INPUT12	Y	Y	Y	Y			
INPUT13	Y	Y	Y	Y			
INPUT14	Y	Y	Y	Y	TZ7		
INPUT15	Y	Y	Y	Y	TZ8		
INPUT16	Y	Y	Y	Y	TZ9		

表 5-5. eCLB Input X-BAR 输出到模块映射

	ePWM XBAR	eCLB Input MUX
INPUT1		Y
INPUT2		Y
INPUT3		Y
INPUT4		Y
INPUT5		Y
INPUT6		Y
INPUT7	Y	Y
INPUT8	Y	Y
INPUT9	Y	Y
INPUT10	Y	Y
INPUT11	Y	Y
INPUT12	Y	Y
INPUT13	Y	Y
INPUT14	Y	Y
INPUT15		Y
INPUT16		Y

5.3.4.2 Output X-BAR, eCLB X-BAR, eCLB Output X-BAR 和 ePWM X-BAR

Output X-BAR 有 12 个输出，可在 GPIO 多路复用器上选择为 OUTPUTXBARx。eCLB X-BAR 输出连接到 CLB Input Mux，同时支持 eCLB 输出经过 eCLB X-BAR 环回。eCLB Output X-BAR 也扩展支持 12 个输出，在 GPIO 多路复用器上选择为 CLB_OUTPUTXBARx。ePWM X-BAR 有 10 个输出连接到 ePWM 模块的 TRIPx，作为 ePWM 模块的输入。Output X-BAR、eCLB X-BAR、ePWM X-BAR 和 eCLB Output X-BAR 输入源显示在下图中。

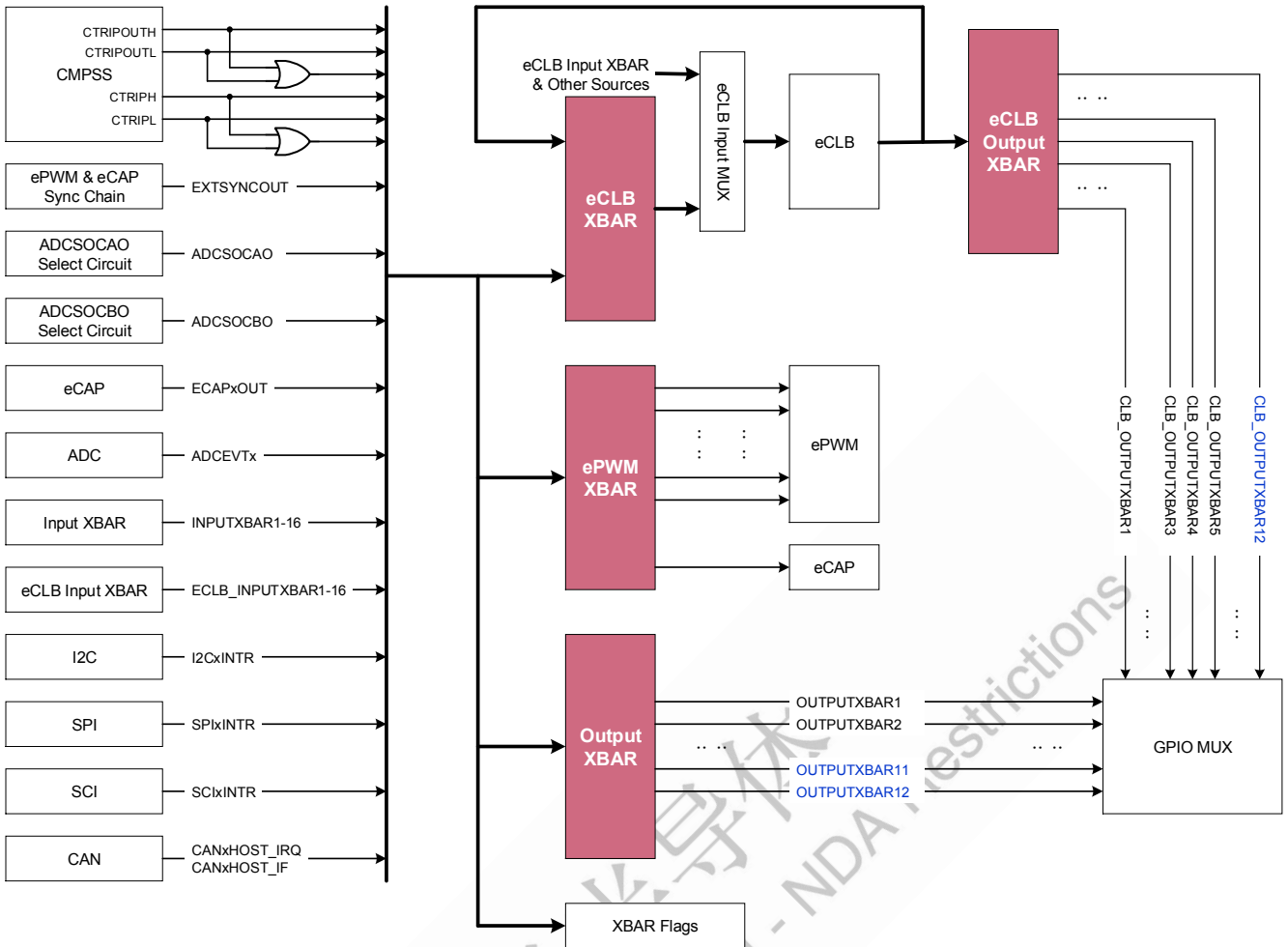


图 5-8. Output X-BAR, eCLB X-BAR, eCLB Output X-BAR 和 ePWM X-BAR

5.4 带内部上拉和下拉的引脚

设备上的某些引脚具有内部上拉或下拉功能。表 5-6 列出了拉动方向及其激活时间。GPIO 引脚上的上拉在默认情况下被禁用，并且可以通过软件启用。为了避免任何浮动的未绑定输入，Boot ROM 将启用 GPIO 引脚上的内部上拉，这些引脚未在特定封装中绑定。表 5-6 中标注的带有上拉和下拉的其他引脚始终打开，不能禁用。

表 5-6. 带内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	设备 BOOT	应用
GPIOx	上拉禁用	上拉禁用 ⁽¹⁾	应用定义
GPIO35/TDI		上拉禁用	应用定义
GPIO37/TDO		上拉禁用	应用定义
AGPIOx	上拉禁用	上拉禁用	应用定义
TCK		上拉有效	
TMS		上拉有效	
XRSn		上拉有效	
Other pins (including AIOs)		不存在上拉或下拉	

(1) 在给定封装中未被引出的引脚由 Boot ROM 配置为内部上拉。

5.5 未使用引脚的连接

对于不需要使用设备的所有功能的应用，表 5-7 列出了任何未使用引脚的可接受条件。当表 5-7 中列出多个选项时，任何选项都可以接受。未列入表 5-7 的引脚必须根据节 5 进行连接。

表 5-7. 未使用引脚的连接

信号名称	可接受的做法
------	--------

信号名称	可接受的做法
模拟	
VREFHI	Tie to VDDA (applies only if ADC is not used in the application)
VREFLO	Tie to VSSA
模拟输入引脚 DACx_OUT	无连接 通过 4.7-kΩ 或更大的电阻连接到 VSSA
模拟输入引脚 (DACx_OUT 除外)	无连接 连接到 VSSA 通过电阻连接到 VSSA
模拟输入引脚 (与 GPIOs 共享) (1)	无连接 (启用了内部上拉的数字输入模式) 无连接 (禁用内部上拉的数字输出模式) 上拉或下拉电阻 (任何值电阻, 数字输入模式, 和内部上拉禁用)
数字	
GPIOx	无连接 (启用了内部上拉的输入模式) 无连接 (禁用内部上拉的输出模式) 上拉或下拉电阻 (任何值电阻、输入模式和内部上拉被禁用)
GPIO35/TDI	当选择 TDI mux 选项 (默认) 时, GPIO 处于输入模式。 启用内部上拉 外部上拉电阻
GPIO37/TDO	当选择 TDO mux 选项 (默认) 时, GPIO 仅在 JTAG 活动期间处于输出模式; 否则, 它将处于三态状态。引脚必须偏置, 以避免输入缓冲器上的额外电流。 启用内部上拉 外部上拉电阻
TCK	无连接 上拉电阻
TMS	上拉电阻
GPIO19/X1	关闭 XTAL 并: 已启用内部上拉功能的输入模式 带有外部上拉或下拉电阻的输入模式 禁用内部上拉的输出模式
GPIO18/X2	关闭 XTAL 并: 已启用内部上拉功能的输入模式 带有外部上拉或下拉电阻器的输入模式 禁用内部上拉的输出模式
电源和接地	
VDD	所有的 VDD 引脚都必须按照节 5.3 标准中的要求进行连接。插销不应用于偏置任何外部电路。
VDDA	如果没有使用专用的模拟电源, 请连接到 VDDIO。
VDDIO	所有的 VDDIO 引脚都必须按照节 5.3 标准中的要求进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地线上。
VSSA	如果不使用模拟接地, 请连接到 VSS。

(1) AGPIO 引脚共享模拟和数字功能。此处的操作仅适用于这些引脚未用于模拟功能的

6 规格

6.1 绝对最大额定值范围

表 6-1. GS32F0039/GS32F0039H/GS32F0039P 绝对最大额定值范围^{(1) (2)}

		最小值	最大值	单位	
供电电压	VDDIO 以 VSS 为基准	- 0.3	4.6	V	
	VDDA 以 VSSA 为基准	- 0.3	4.6		
	VDD 以 VSS 为基准	- 0.3	1.5		
输入电压	V_{IN}	- 0.3	4.6	V	
输出电压	V_O	- 0.3	4.6	V	
最大电流	每个 GPIO pin 上的最大电流		20	mA	
自由流通空气温度	T_A	GS32F0039/GS32F0039H/GS32F0039P	-40	105	°C
		GS32F0039-Q/GS32F0039H-Q	-40	125	
工作结温	T_J	GS32F0039/GS32F0039H/GS32F0039P	-40	125	°C
		GS32F0039-Q/GS32F0039H-Q	-40	150	
储存温度	T_{stg}	GS32F0039/GS32F0039H/GS32F0039P	-65	125	°C
		GS32F0039-Q/GS32F0039H-Q	-65	150	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。

6.2 ESD 范围

		数值	单位
适用于所有封装			
$V_{(ESD)}$ 静电释放 (ESD)	人体模型 (HBM)，根据 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	2000	V
	充电装置模型 (CDM)，根据 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	750	

- (1) JEDEC 文件 JEP155 指出，500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出，250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 推荐工作条件

		最小值	典型值	最大值	单位
器件电源电压, VDDIO 和 VDDA	内部 BOR 使能 ⁽³⁾	$V_{BOR-VDDIO} + V_{BOR-VDDIO-GB}$ ⁽²⁾	3.3	3.63	V
	内部 BOR 禁用	2.8	3.3	3.63	V
设备电源电压, VDD		1.0	1.1	1.32	V
设备接地, VSS			0		V
模拟地面, VSSA			0		V
SR _{SUPPLY}	电压压摆率 ⁽⁴⁾				
V _{IN}	数字输入电压	VSS-0.3		VDDIO+0.3	V
	模拟输入电压	VSSA-0.3		VDDA+0.3	V
结点温度, T _J ⁽¹⁾	GS32F0039/GS32F0039H/GS32F0039P	-40		125	°C
	GS32F0039-Q/GS32F0039H-Q	-40		150	
自由空气温度, T _A	GS32F0039/GS32F0039H/GS32F0039P	-40		105	°C
	GS32F0039-Q/GS32F0039H-Q	-40		125	

- (1) 在 T_J=125 °C 以上延长持续时间将减少设备的寿命。
 (2) 请参见电源管理模块 (PMM) 部分, V_{BOR-VDDIO} 取决于 BOR 阈值档位配置
 (3) 默认会启用内部 BOR。
 (4) 请参见电源管理模块运行条件表。

6.4 电气特性

在建议运行条件下测得 (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
数字和模拟 IO						
V _{OH}	高电平的输出电压	VDD=最小值	2.4		VDDIO	V
V _{OL}	低电平的输出电压	VDD=最小值	VSS		0.4	V
I _{OH}	所有输出引脚的高电平输出电流	VDD=最小值	-2		-20	mA
I _{OL}	所有输出引脚的低电平输出电流	VDD=最小值	2		20	mA
V _{IH}	高电平输入电压		2.0		VDDIO	V
V _{IL}	低电平输入电压		VSS		0.8	V
V _{HYSTERESIS}	输入迟滞		200			mV
I _{PULLDOWN}	输入电流	带有下拉的引脚 VDD=最小值, V _{PAD} =V _{IL}	53		120	μA
I _{PULLUP}	输入电流	启用上拉的数字输入 ⁽¹⁾ VDD=最小值, V _{PAD} =V _{IH}	60		180	μA
I _{LEAK}	引脚漏电流	VDD=最大值, V _{PAD} =0V or VDD	-1		1	μA
C _i	输入电容	数字输入		10		pF
		模拟引脚		10		

- (1) 有关带有上拉或下拉的引脚列表, 请参阅带有内部上拉和下拉的引脚表。

6.5 电流消耗规格

在自然通风条件下的工作温度范围内测得（除非另有说明）。

表 6-2. GS32F0039/GS32F0039-Q/GS32F0039H-Q 芯片电流消耗

典型值：V_{norm}, 30°C

测试条件		典型值	单位
I _{DDIO}	CPU 正常工作，外设正常开启 - CPU 正常工作 - Flash/SRAM/GPIO 不关闭 - 所有 ADC 均打开，打开 16 路 PWM 通道	48.7	mA
I _{DDA}		0.84	mA
总电流		49.6	mA
功耗		163.8	mW

表 6-3. GS32F0039H/GS32F0039P 芯片电流消耗

典型值：V_{norm}, 30°C

测试条件		典型值	单位
I _{DDIO}	CPU 正常工作，外设正常开启 - CPU 正常工作 - Flash/SRAM/GPIO 不关闭 - 所有 ADC 均打开，打开 16 路 PWM 通道	59.7	mA
I _{DDA}		0.88	mA
总电流		60.6	mA
功耗		199.9	mW

格见半导体
Gejian Semi. confidential - NDA Restriction

6.6 封装热阻特性

6.6.1 PZ 封装的热阻特性

	°C/W ⁽¹⁾
$R_{\theta JC}$ 结-壳间热阻	3.97
$R_{\theta JB}$ 结-板间热阻	30.99
$R_{\theta JA}$ (高 k PCB) 结-大气热阻	44.54

(1) 以上值基于 JEDEC 定义的 2S2P 系统(基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\theta JC}$] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.6.2 PN 封装的热阻特性

	°C/W ⁽¹⁾
$R_{\theta JC}$ 结-壳间热阻	8.6
$R_{\theta JB}$ 结-板间热阻	30.4
$R_{\theta JA}$ (高 k PCB) 结-大气热阻	testing

(2) 以上值基于 JEDEC 定义的 2S2P 系统(基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\theta JC}$] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.6.3 PM 封装的热阻特性

	°C/W ⁽¹⁾
$R_{\theta JC}$ 结-壳间热阻	TBD
$R_{\theta JB}$ 结-板间热阻	TBD
$R_{\theta JA}$ (高 k PCB) 结-大气热阻	TBD

(1) 以上值基于 JEDEC 定义的 2S2P 系统(基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\theta JC}$] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.6.4 PT 封装的热阻特性

	°C/W ⁽¹⁾
$R_{\theta JC}$ 结-壳间热阻	TBD
$R_{\theta JB}$ 结-板间热阻	TBD
$R_{\theta JA}$ (高 k PCB) 结-大气热阻	TBD

(1) 以上值基于 JEDEC 定义的 2S2P 系统(基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\theta JC}$] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.6.5 PBJ 封装的热阻特性

	°C/W ⁽¹⁾
$R_{\theta JC}$ 结-壳间热阻	TBD
$R_{\theta JB}$ 结-板间热阻	TBD
$R_{\theta JA}$ (高 k PCB) 结-大气热阻	TBD

- (1) 以上值基于 JEDEC 定义的 2S2P 系统(基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [R θ JC] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
 - JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.7 系统

6.7.1 电源管理模块

6.7.1.1 介绍

电源管理模块（PMM）处理设备运行所需的所有电源管理功能。

6.7.1.2 概述

PMM 的框图如图 6-2 所示可以看出，PMM 由各种子组件组成，这些子组件将在后续章节中进行描述。

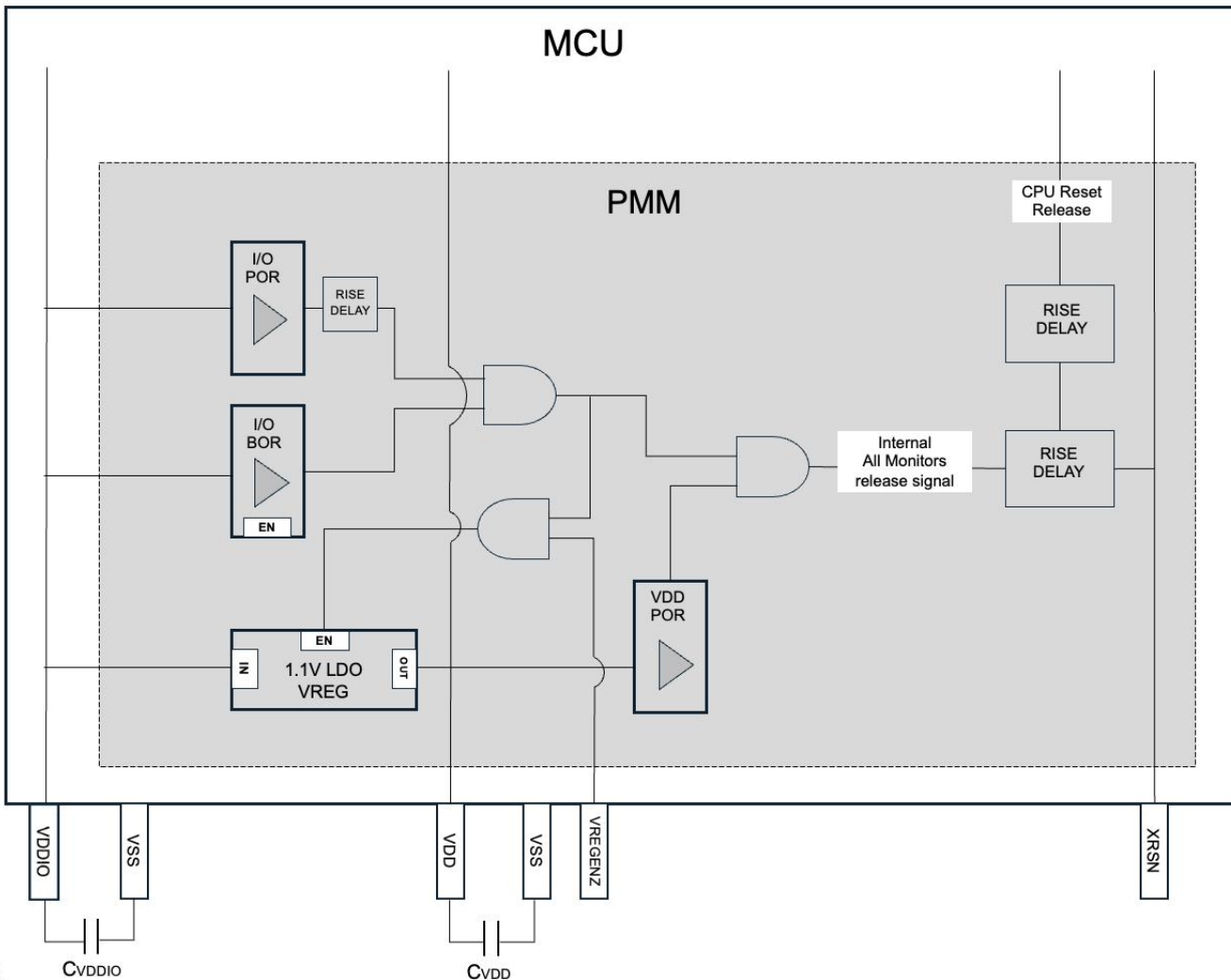


图 6-2. PMM 框图

6.7.1.2.2 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注：启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器(I/O POR、I/O BOR、VDD POR)都必须在器件开始运行(即 XRSn 变为高电平)之前释放各自的输出。但是, 如果任何电压监视器跳闸, XRSn 将被驱动为低电平。当任何电压监视器跳闸时, I/O 保持高阻抗。

6.7.1.2.2.1 I/O POR (上电复位) 监视器

I/O POR 监视器监视 VDDIO 电源轨。在通电期间, 这是 VDDIO 上第一个释放(即第一个取消触发)的监视器。

6.7.1.2.2.2 I/O BOR (Brown Out Reset) 监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间, 这是第二个在 VDDIO 上释放的监视器(即第二个要解除跳闸的监视器)。与 I/O POR 相比, 该监视器具有更严格的容差。

电压降至低于 BOR 阈值电压将会导致 I/O BOR 跳闸并复位器件, 可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后, 才能禁用 I/O BOR。I/O BOR 复位阈值 2.8V。

备注: I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压, 因此不应用于器件监控。

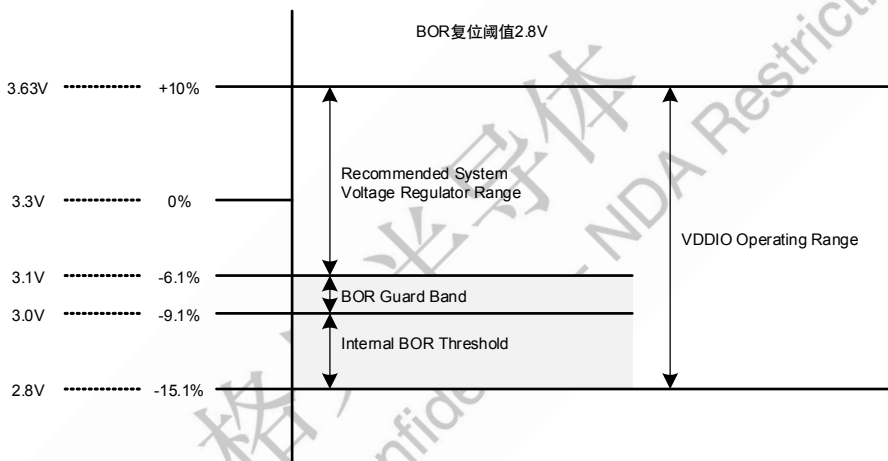


图 6-3. I/O BOR 工作范围

6.7.1.2.2.3 VDD POR (上电复位) 监视器

VDD POR 监视器监控 VDD 电源轨。在上电期间, 一旦电压超过 VDD 上的编程跳闸电平, 该监视器就会释放(即解除跳闸)。

备注: VDD POR 编程为低于 VDD 最小建议电压的水平, 因此, 如果应用中需要 VDD 监控, 不应该依赖 VDD POR 来进行此监控。

6.7.1.2.3 外部监视器的使用

VDDIO 监控:I/O BOR 支持应用使用, 因此无需外部监控器来监控 I/O 电源轨。

VDD 监控:VDD POR 不支持应用使用。如果应用需要 VDD 监控, 则应使用外部监控器监控 VDD 电源轨。

备注: 不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控, 则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

6.7.1.2.4 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。当 XRSn 在外部 VREG 模式下释放时，这些延迟可确保电压稳定。延迟块仅在上电期间(即，当 VDDIO 和 VDD 斜升时)有效。延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

6.7.1.2.5 内部 1.1-V LDO 电压调节器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，并可以生成为 VDD 引脚供电所需的 1.1V 电压。启用它的方法是将 VREGENZ 引脚绑定为低电平。虽然有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 稳定性和避免瞬变。详细信息，请参阅 VDD 去耦。

6.7.1.2.6 VREGENZ

VREGENZ(VREG 禁用)引脚可控制内部 VREG 的状态。要启用内部 VREG，VREGENZ 引脚应连接至低电平。对于从外部为 VDD 供电(外部 VREG)的应用，应通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注：并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

6.7.1.3 外部器件

6.7.1.3.1 去耦电容

VDDIO 和 VDD 需要去耦电容才能正确操作。这些要求将在后续章节中概述。

6.7.1.3.1.1 VDDIO 去耦电路

应在 VDDIO 上放置最小的去耦电容值。请参阅 CVDDIO 参数(位于电源管理模块电气数据和时序中)。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- 配置 1:根据 CVDDIO 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- 配置 2:安装等效于 $CVDDIO * VDDIO$ 引脚的单个去耦电容器。

备注：使将去耦电容器(一个或多个)靠近器件引脚放置至关重要。

6.7.1.3.1.2 VDD 去耦电路

应在 VDD 上放置最小的去耦电容值。请参阅 CVDD TOTAL 参数(位于电源管理模块电气数据和时序中)。在外部 VREG 模式下，实际使用的去耦电容值取决于驱动 VDD 的电源。

可接受以下任一配置：

- 配置 1:对 VDD 引脚上的 CVDD TOTAL 值执行除法运算。
- 配置 2:安装一个容值为 CVDD TOTAL 的去耦电容器。

备注：使去耦电容器或多个电容器靠近器件引脚是至关重要的。

6.7.1.4 上电时序

6.7.1.4.1 电源引脚分组

强烈建议将所有 3.3V 轨连接在一起，并由单一来源提供。此列表包括：

- VDDIO
- VDDA

此外，任何电源引脚都不应悬空。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器即可。有关 VDD 去耦配置，请参阅 VDD 去耦。

器件上的模拟模块具有相当高的 PSRR;因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议工作条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注：每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

6.7.1.4.2 信号引脚上电时序

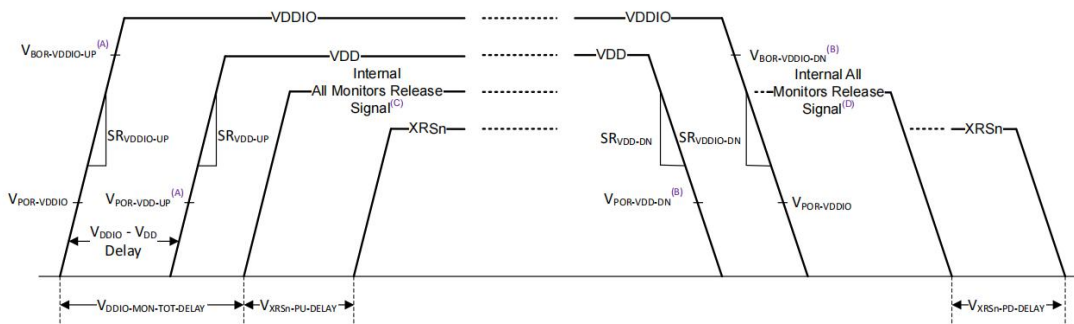
在为器件供电之前，不得对任何数字引脚施加比 VDDIO 高 0.3V 以上的电压或比 VSS 低 0.3V 以上的电压，也不得对任何模拟引脚(包括 VREFHI 和 VDAC)施加比 VDDA 高 0.3V 以上的电压或比 VSSA 低 0.3V 以上的电压。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

警告：如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

6.7.1.4.3 电源引脚上电时序

6.7.1.4.3.1 外部 VREG/VDD 模式时序

图 6-4 显示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



- 该跳闸点是 XRSn 释放之前的跳闸点。请参阅电源管理模块特性表。
- 该跳闸点是 XRSn 释放后的跳闸点。请参阅电源管理模块特性表。
- 通电期间，所有 POR 和 BOR 监视器释放后，所有监视器释放信号变高。请参阅 PMM 框图。
- 在断电期间，如果任何 POR 或 BOR 监视器跳闸，则所有监视器释放信号变低。请参阅 PMM 框图。

图 6-4. 外部 VREG 通电顺序

• 在上电期间:

- VDDIO(即 3.3V 电源轨)应首先以指定的最小压摆率出现。
- VDD(即 1.2V 电源轨)应其次以指定的最小压摆率出现。
- 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
- 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSn-PD-DELAY}$ 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。在 XRSn 释放(即变为高电平)和启动序列之间还有额外的延迟。
- I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。

• 对于断电:

- 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。

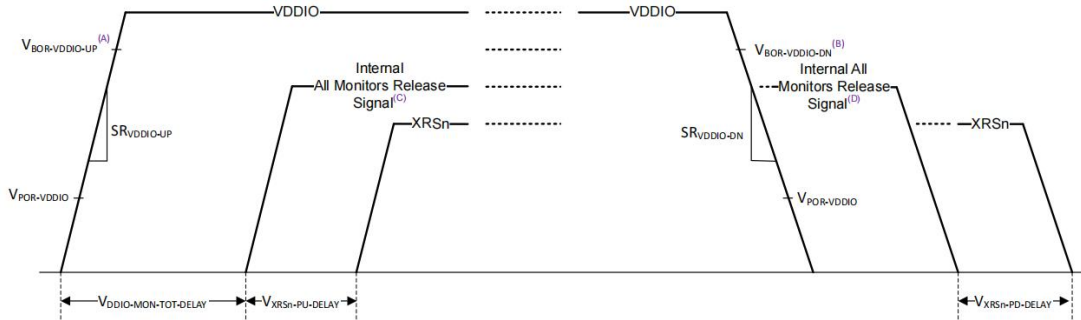
- I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平。

备注：所有监控器释放信号 是一个内部信号。

备注：如果有一个驱动 XRSn 的外部电路(例如，主管)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会启动。

6.7.1.4.3.2 内部 VREG/VDD 模式时序

图 6-5 描述了内部 VREG 模式的功率排序要求。所有指示参数的值可在电源管理模块电气数据和正时中找到。



- 该跳闸点是 XRSn 释放之前的跳闸点。请参阅电源管理模块特性表。
- 该跳闸点是 XRSn 释放后的跳闸点。请参阅电源管理模块特性表。
- 通电期间，所有 POR 和 BOR 监视器释放后，所有监视器释放信号变高。请参阅 PMM 框图。
- 在断电期间，如果任何 POR 或 BOR 监视器跳闸，则所有监视器释放信号变低。请参阅 PMM 框图。

图 6-5. 内部 VREG 通电顺序

- 对于通电：
 - VDDIO(即 3.3V 电源轨)应提供指定的最小压摆率。
 - 在释放 I/O 监视器(I/O POR 和 I/O BOR)后，内部 VREG 将上电。
 - 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。在 XRSn 释放(即变为高电平)和启动序列开始之间有额外的延迟。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 对于断电：
 - 在断电期间对 VDDIO 的唯一要求是压摆率。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
 - I/O BOR 跳闸将导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注：所有监视器释放信号是一个内部信号。

备注：如果有一个驱动 XRSn 的外部电路(例如，监控器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.7.1.4.3.3 供电时序总结和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

警告：不可接受的序列会导致可靠性问题并可能导致损坏。

为简便起见，建议将所有 3.3V 电源轨连接在一起，并遵循电源引脚电源序列中的说明操作。

表 6-4. 外部 VREG 序列摘要

CASE	RAILS 通电命令			ACCEPTABLE
	VDDIO	VDDA	VDD	

CASE	RAILS 通电命令			ACCEPTABLE
	VDDIO	VDDA	VDD	
A	1	2	3	Yes
B	1	3	2	Yes
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	Yes
H	2	2	1	-

表 6-5. 内部 VREG 序列摘要

CASE	RAILS 通电命令		ACCEPTABLE
	VDDIO	VDDA	
A	1	2	Yes
B	2	1	-
C	1	1	Yes

备注：只有在 VDDA 达到建议的最低工作电压后，设备上的模拟模块才能通电。

6.7.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注：XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，器件可能会在 VDD 达到最低工作电压之前解除复位并开始引导，这可能导致器件无法正常工作。

备注：如果无法满足最低压摆率要求，必须在 VDD 上使用监控器来保持 XRSn 为低电平，直到 VDD 超过最低工作电压，以此确保器件正常工作。

6.7.1.5 电源管理模块电气数据和时序

6.7.1.5.1 电源管理模块操作条件

在建议运行条件下测得(除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
General					
CVDDIO ⁽¹⁾⁽²⁾	VDDIO 每个引脚的电容 ⁽⁷⁾		0.1		μF
CVDDA ⁽¹⁾⁽²⁾	VDDA 每个引脚的电容 ⁽⁷⁾		2.2		μF
SRVDDIO-UP ⁽³⁾	3.3V 电源轨 (VDDIO) 的电源斜升速率		8	100	mV/μs
SRVDDIO-DN ⁽³⁾	3.3V 电源轨 (VDDIO) 的电源斜降速率		20	100	mV/μs
VBOR-VDDIO-GB ⁽⁵⁾	VDDIO 欠压复位电压保护带		0.1		V
External VREG					
CVDD TOTAL ⁽¹⁾⁽⁴⁾	VDD 总电容 ⁽⁷⁾		10		μF
SRVDD-UP ⁽³⁾	1.1V 电源轨 (VDD) 的电源斜升速率		3.5	100	mV/μs
SRVDD-DN ⁽³⁾	1.1V 电源轨 (VDD) 的电源斜降速率		10	100	mV/μs
VDDIO - VDD Delay ⁽⁶⁾	VDDIO 和 VDD 之间的斜坡延迟		0	No Restrictions	μs
Internal VREG					
CVDD TOTAL ⁽⁴⁾	VDD 总电容 ⁽⁷⁾		10	26.8	μF

(1) 去耦电容的确切值取决于提供这些引脚的系统电压调节解决方案。

(2) 建议将 3.3V 电源轨 (VDDIO、VDDA) 连接在一起, 并从单一电源供电。

(3) 请参阅“电源压摆率”部分。高于最大值的电源斜坡速率可以触发片上 ESD 保护。

(4) 请参阅电源管理模块 (PMM) 一节, 了解总去耦电容的可能配置。

(5) 建议 VBOR-VDDIO-GB, 以避免由于 3.3-V VDDIO 调压器上的正常电源噪声或负载瞬态事件而导致 BOR-VDDIO 复位。良好的系统调压器设计和去耦电容 (遵循系统调节器规范) 对于防止 BOR-VDDIO 在正常设备操作期间激活非常重要。VBOR-VDDIO-GB 的值是系统级设计考虑因素; 这里列出的电压对于许多应用来说是典型的。

(6) 3.3V 电源轨斜升时和 1.1V 电源轨斜上升时之间的延迟。有关允许的供应斜坡序列, 请参阅 VREG 序列汇总表。

6.7.1.5.2 电源管理模块特性

在建议运行条件下测得(除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V _{VREG}	内部电压调节器输出	1.0	1.1	1.21	V
V _{VREG-PU}	内部电压调节器通电时间			180	μs
V _{VREG-INRUSH} ⁽³⁾	内部电压调节器涌入电流		400		mA
V _{POR-VDDIO}	VDDIO 上电复位电压	XRSn 释放前后	1.57		V
V _{BOR-VDDIO-UP} ⁽¹⁾	斜升时的 VDDIO 欠压复位电压	XRSn 释放前	2.5		V
V _{BOR-VDDIO-DN} ⁽¹⁾	斜降时的 VDDIO 欠压复位电压	XRSn 释放后	2.8	3.0	V
V _{POR-VDD-UP} ⁽²⁾	斜升时的 VDD 上电复位电压	XRSn 释放前	0.77		V
V _{POR-VDD-DN} ⁽²⁾	斜降时的 VDD 上电复位电压	XRSn 释放后	0.77		V

(1) 请参阅 BOR 操作区域图。

(2) VPOR-VDD 不受支持, 它设置为在低于建议运行条件的电平跳闸, 如果需要监视 VDD, 则需要一个外部监控器。

(3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前, 需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。

6.7.2 复位特性

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间, 监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息, 请参阅“电源管理模块 (PMM)”部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚, 从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除; 电容应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。推荐的复位电路如下图所示。

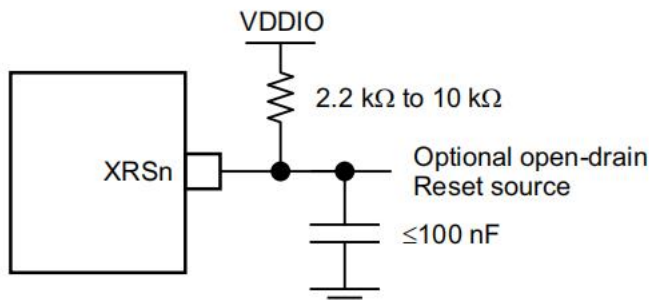


图 6-6. 复位电路

6.7.2.2 复位源

复位信号表总结了各种复位信号及其对设备的影响。

表 6-6. 复位信号

复位源	CPU 核复位	外设复位	JTAG/调试逻辑复位	IOs	XRS 输出
POR	Yes	Yes	Yes	Hi-Z	Yes
BOR	Yes	Yes	Yes	Hi-Z	Yes
XRS Pin	Yes	Yes	No	Hi-Z	-
WDRS	Yes	Yes	No	Hi-Z	Yes
NMIWDRS	Yes	Yes	No	Hi-Z	Yes
SYSRS (Debugger Reset)	Yes	Yes	No	Hi-Z	No
SCCRESET	Yes	Yes	No	Hi-Z	No
SIMRESET. $\overline{\text{XRS}}$	Yes	Yes	No	Hi-Z	Yes
SIMRESET. $\overline{\text{CPU1RS}}$	Yes	Yes	No	Hi-Z	No
HWBISTRs	Yes	No	No	No	No

6.7.2.3 复位时间要求和特性

6.7.2.3.1 复位-XRSn-时间要求

参数	最小值	最大值	单位
XRSn 脉冲有效所需持续时间 (时间不足导致复位不成功)	3		μs

6.7.2.3.2 复位-XRSn-开关特性

参数	最小值	典型值	最大值	单位
电源稳定后, XRSn 持续驱动为低时间 (直到复位释放)		100		μs
脉冲持续时间, 看门狗产生的复位脉冲		512 $t_{c(OSCCLK)}$		cycles

6.7.3 时钟规格

6.7.3.1 时钟源

表 6-7. 可选的参考时钟源

时钟源	描述
INTOSC1	内部振荡器 1。 无需引脚连接的 10 MHz 内部振荡器。
INTOSC2 ⁽¹⁾	内部振荡器 2。 无需引脚连接的 10 MHz 内部振荡器。
X1 (XTAL)	连接在 X1 和 X2 引脚之间的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。
AUXCLKIN	单端 3.3V 电平时钟源。GPIO29/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 是 PLL (OSCCLOCK) 的默认时钟源。

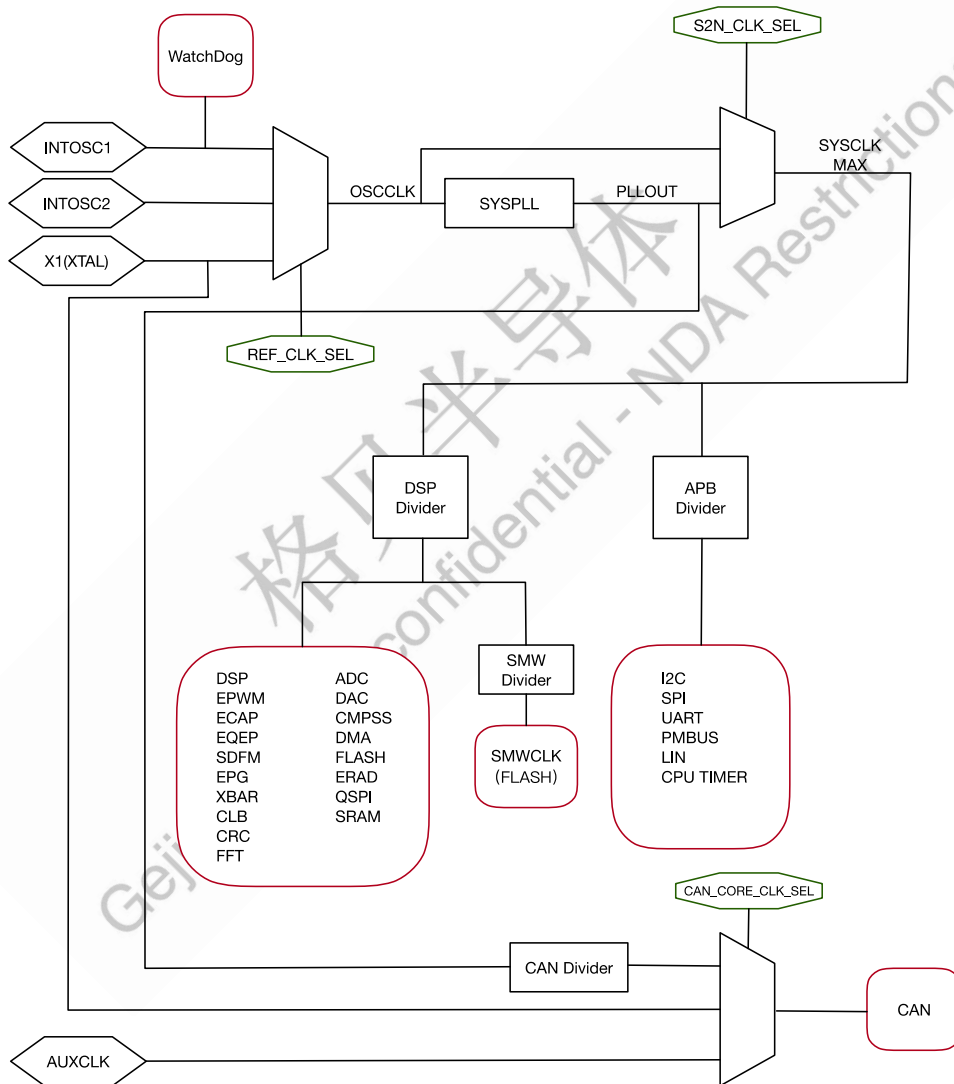


图 6-7. 时钟系统

SYSPLL

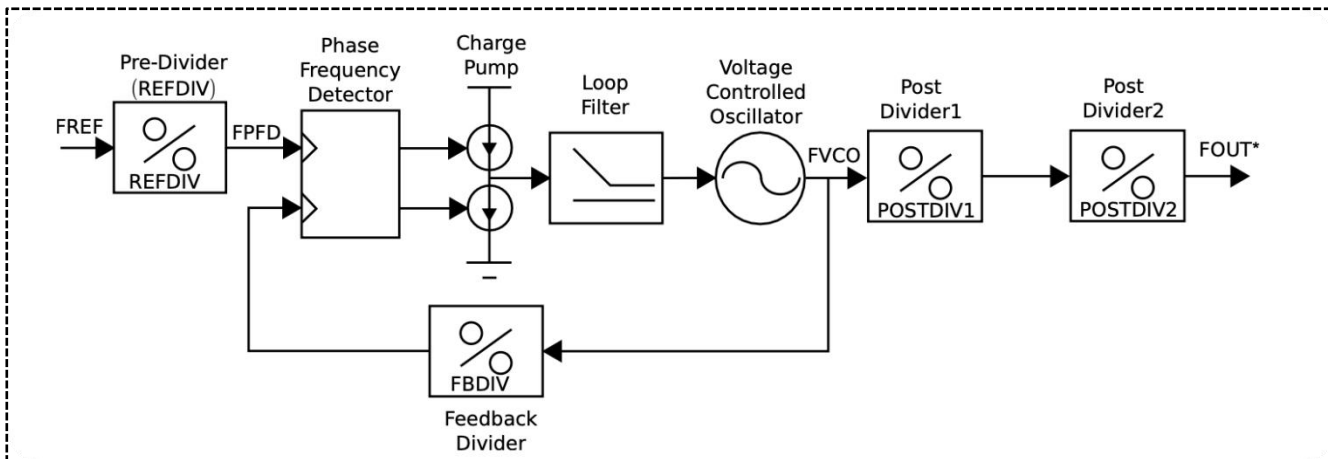


图 6-8. PLL 配置为整数模式

图 6-8 FOUT 参考公式:

$$FOUT^* = \frac{FREF * FBDIV}{REFDIV * POSTDIV1 * POSTDIV2}$$

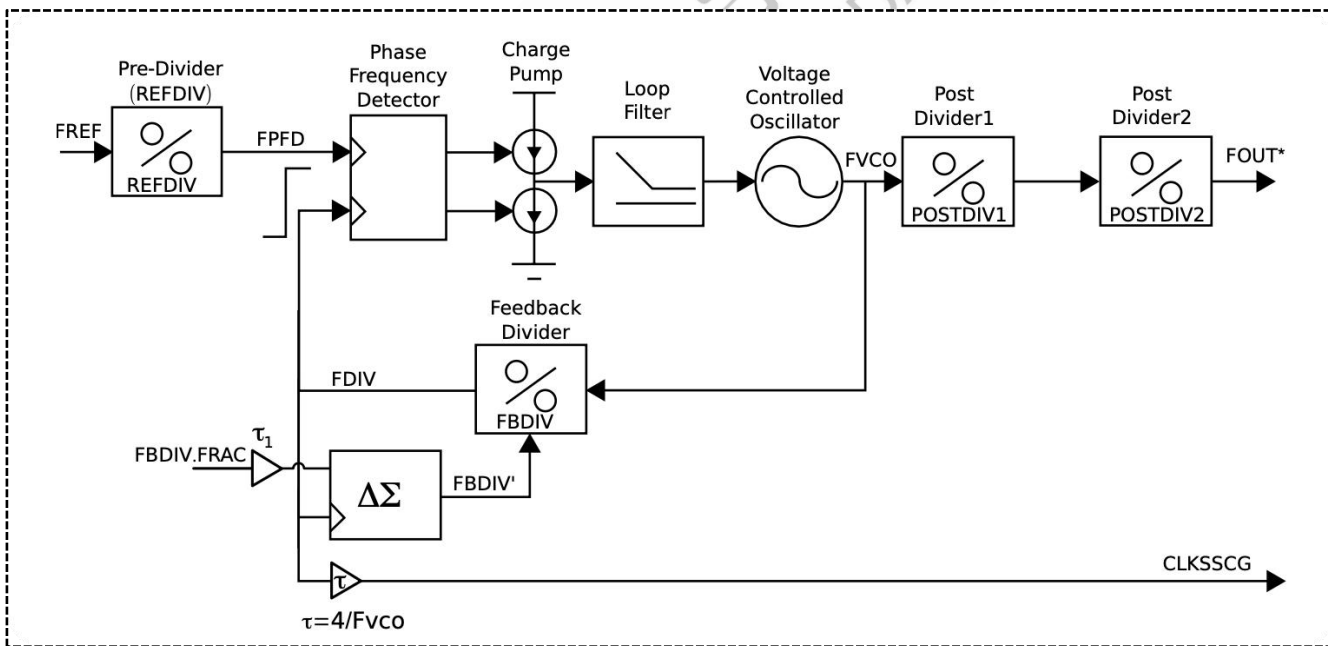


图 6-9. PLL 配置为小数模式

图 6-9 FOUT 参考公式:

$$FOUT^* = \frac{FREF}{REFDIV} \times \frac{FBDIV + \frac{FRAC}{2^{24}}}{POSTDIV1 * POSTDIV2}$$

6.7.3.2 时钟频率要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.7.3.2.1 输入时钟频率和时序要求, PLL 锁定时间

6.7.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率, X1/X2, 来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率, X1, 来自外部振荡器	10	25	MHz
$f_{(AUXI)}$	频率, AUXCLKIN, 来自外部振荡器	10	60	MHz

6.7.3.2.1.2 外部振荡器特性 (X1)

基于推荐的运行条件 (除非另有说明)

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压 (缓冲器)	VSS	0.8	V
X1 V_{IH}	有效高电平输入电压 (缓冲器)	2.0	VDDIO	V

6.7.3.2.1.3 X1 时序要求

参数		最小值	最大值	单位
$t_{f(X1)}$	下降时间, X1		6	ns
$t_{r(X1)}$	上升时间, X1		6	ns
$t_w(X1L)$	脉冲持续时间, X1 低为 $t_c(X1)$ 的百分比	45%	55%	
$t_w(X1H)$	脉冲持续时间, X1 高达 $t_c(X1)$ 的百分比	45%	55%	

6.7.3.2.1.4 AUXCLKIN 时序要求

参数		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间, AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间, AUXCLKIN		6	ns
$t_w(AUXL)$	脉冲持续时间, AUXCLKIN 低为 $t_c(AUXI)$ 的百分比	45%	55%	
$t_w(AUXH)$	脉冲持续时间, AUXCLKIN 高达 $t_c(AUXI)$ 的百分比	45%	55%	

6.7.3.2.1.5 XCLKOUT 开关特性 (PLL 旁路或启用)

基于推荐的运行条件 (除非另有说明)

参数		最小值	最大值	单位
$t_{f(XCO)}$	下降时间, XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间, XCLKOUT		5	ns
$t_w(XCOL)$	脉冲持续时间, XCLKOUT 低为 $t_c(XCO)$ 的百分比	45%	55%	
$t_w(XCOH)$	脉冲持续时间, XCLKOUT 高为 $t_c(XCO)$ 的百分比	45%	55%	

6.7.3.2.1.6 内部时钟频率

表 6-8. GS32F0039/GS32F0039-Q/GS32F0039H-Q 内部时钟频率

参数	最小值	典型值	最大值	单位
$f_{(OSCCLK)}$	频率, OSCCLK(INTOSC1、INTOSC2、XTAL 或 X1)			MHz
$f_{(DSP)}$	频率, DSP 时钟			2
$f_{(AHB)}$	频率, 采用 AHB 总线的外设时钟			240
$f_{(APB)}$	频率, 采用 APB 总线的外设时钟			2
		60		MHz

表 6-9. GS32F0039H/GS32F0039P 内部时钟频率

参数	最小值	典型值	最大值	单位
$f_{(OSCCLK)}$	频率, OSCCLK(INTOSC1、INTOSC2、XTAL 或 X1)			MHz
$f_{(DSP)}$	频率, DSP 时钟			2
$f_{(AHB)}$	频率, 采用 AHB 总线的外设时钟			300
$f_{(APB)}$	频率, 采用 APB 总线的外设时钟			2
		75		MHz

6.7.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器外, 还支持三种类型的外部时钟源:

- 单端 3.3V 外部时钟。时钟信号应连接到 X1, 如图 6-10 所示。
- 外部晶体。晶体应连接在 X1 和 X2 之间, 其负载电容器连接到 VSS, 如图 6-11 所示。
- 外部谐振器。谐振器应连接在 X1 和 X2 之间, 其地连接到 VSS, 如图 6-12 所示。

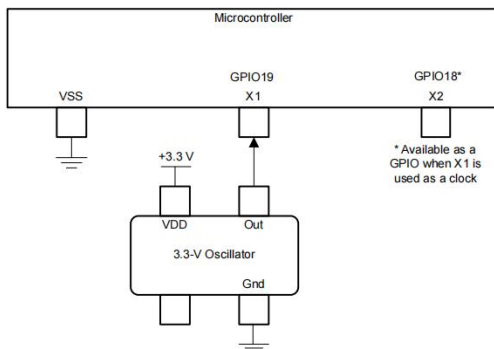


图 6-10. 单端 3.3V 外部时钟

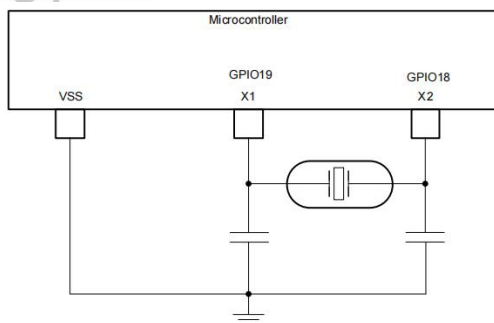


图 6-11. 外部晶体

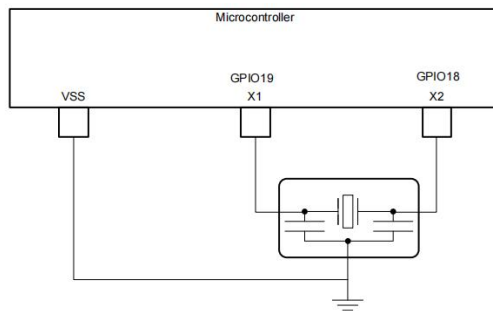


图 6-12. 外部谐振器

6.7.3.4 XTAL 振荡器

6.7.3.4.1 引言

该设备中的 XTAL 振荡器是一种嵌入式电子振荡器，当与兼容晶体配对时，可以生成设备所需的系统时钟。

6.7.3.4.2 概述

以下部分介绍了电子振荡器和晶体的组件。

6.7.3.4.3 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器设计。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体元件的基频处振荡。

6.7.3.4.3.1 工作模式

此器件中的电子振荡器有两种工作模式：晶体模式和单端模式。

- 晶体工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 R_{bias} 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 V_{IH} 和 V_{IL}。有关比较器的 V_{IH} 和 V_{IL} 要求，请参阅 XTAL 振荡器特性表。

- 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅使用外部时钟源(非晶体)时的 X1 输入电平特征表。

6.7.3.4.3.2 XCLKOUT 上的 XTAL 输出

通过配置 TEST_MUX_EN⁽¹⁾、OBS_SIG_SEL、OBS_SIG_DIV 寄存器，可以将电子振荡器的输出馈送到 XCLKOUT 引脚以供观察。

(1) 选择时钟管脚观测时，需要把此使能配置 0

6.7.3.4.3.3 石英晶体

石英晶体可以用 LCR（电感器-电容器-电阻器）电路来表示。然而，与 LCR 电路不同的是，由于低运动电阻，晶体具有非常高的 Q 值，并且阻尼也非常低。晶体的内部电路结构如图 6-13，并在下面进行解释。

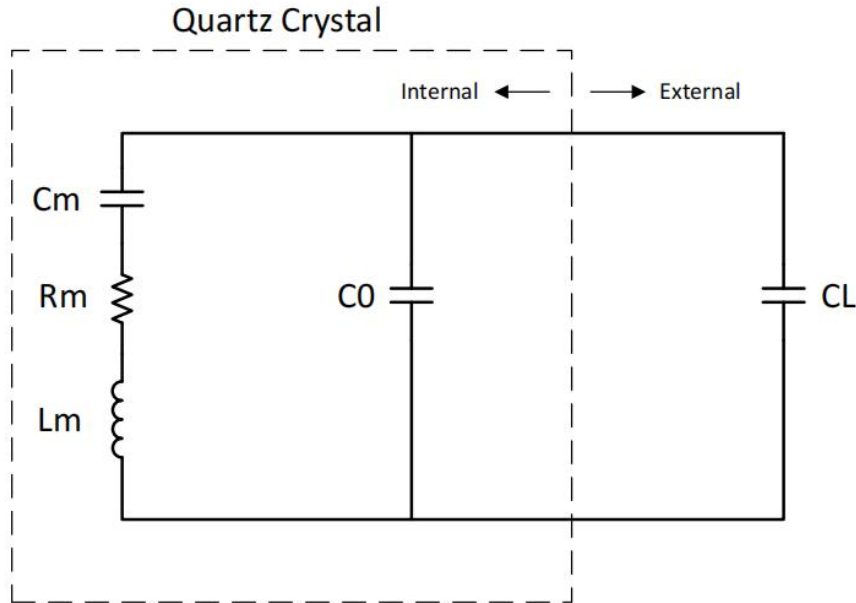


图 6-13. 晶体电学表示

C_m （运动电容）：表示晶体的弹性。

R_m （运动电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，而是可以根据其他晶体成分的值来近似。

L_m （运动电感）：表示晶体的振动质量。

C_0 （并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL （负载电容）：这是晶体在其电极处看到的有效电容。它在晶体的外部。晶体数据表中规定的频率 ppm 通常与 CL 参数有关。

请注意，大多数晶体制造商将 CL 指定为晶体引脚处的有效电容，而一些晶体制造商将 CL 指定为仅一个晶体引脚上的电容。与晶体制造商核实 CL 的规定方式，以便在计算中使用正确的值。

来自图 6-8 的 CL_1 和 CL_2 是串联的；因此，为了找到晶体所看到的等效总电容，必须应用电容级数公式，如果 $CL_1 = CL_2$ ，则该公式简单地计算为 $[CL_1]/2$ 。

建议将杂散 PCB 电容与该值相加。3 pF 至 5 pF 是合理的估计值，但实际值将取决于所讨论的 PCB。

请注意，负载电容是电振荡器和晶体的要求。所选择的值必须同时满足电振荡器和晶体。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标，晶振频率就会增加，反之亦然。然而，拉频的影响通常是非常小的，通常导致与标称频率的变化小于 10ppm。

6.7.3.4.3.4 GPIO 操作模式

在该设备上，X1 和 X2 可以分别作为 GPIO19 和 GPIO18 使用，这取决于 XTAL 的操作模式。请参阅本器件参考手册中的外部振荡器（XTAL）部分。

6.7.3.4.4 函数运算

6.7.3.4.4.1 有效串联电阻

有效串联电阻是指晶振在共振时呈现给电振荡器的电阻负载。ESR 越高，Q 就越低，晶振启动或保持振荡的可能性就越小。ESR 与晶振分量的关系如下所示。

$$ESR = R_m * \left(1 + \frac{C_0}{CL}\right)^2$$

请注意，ESR 与晶振的运动电阻不同，但如果有效负载电容远远大于并联电容，则可以近似为这样做。

6.7.3.4.4.2 Rneg - 负电阻

负电阻是指电子振荡器对晶振产生的阻抗。它是电子振荡器必须供给晶振的能量，以克服振荡期间产生的损失。Rneg 描述了一个提供而不是消耗能量的电路，也可以被视为电路的总体增益。一般接受的做法是有 Rneg > 3 倍 ESR 到 5 倍 ESR，以确保晶振在所有条件下启动。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能确保在启动时满足负电阻要求，那么维持振荡就不会是一个问题。

6.7.3.4.4.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.7.3.4.4.4 X1/X2 先决条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。

6.7.3.4.4.5 DL-驱动器级别

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.7.3.4.5 如何选择一个晶振

以晶振振荡器的规格作为参考：

- 1) 选择一个晶振频率（例如，20 MHz）。
- 2) 检查晶振的 ESR 是否 $\leq 60\Omega$ ，符合 20 MHz。
- 3) 检查晶振制造商的 20 MHz 规格负载电容要求是否在 10 pF 和 16 pF 之间。
 - 如上所述，CL1 和 CL2 是串联的；因此，提供 $CL1 = CL2$ ，有效负载电容 $CL = [CL1]/2$ 。
 - 添加板寄生会导致 $CL = [CL1]/2 + C_{stray}$
- 4) 检查晶振的最大驱动水平 $\geq 1 \text{ mW}$ 。如果不满足此要求，则可以使用阻尼电阻 Rd。在使用 Rd 时需要考虑的其他点上，请参考 DL-驱动器级别

6.7.3.4.6 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用电容小于 1pF 的有源探针。

- 频率
 1. 在 XCLKOUT 上引出 XTAL。
 2. 测量该频率作为晶体频率。
- 负电阻
 1. 在 XCLKOUT 上引出 XTAL。

2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

- 启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.7.3.4.7 晶体振荡器技术规格

6.7.3.4.7.1 晶体振荡器参数

参数		最小值	最大值	单位
CL1, CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

6.7.3.4.7.2 晶体等效系列电阻 (ESR) 要求

对于晶体等效串联电阻 (ESR) 要求表:

1. 晶体分流电容 (C0) 应小于或等于 7 pF。
2. ESR = 负电阻/3

表 6-10. 晶体等效系列电阻 (ESR) 要求

晶振频率 (MHz)	最大值 ESR (Ω) (CL1 = CL2 = 20 pF)	最小值 ESR (Ω) (CL1 = CL2 = 32 pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

6.7.3.4.7.3 晶体振荡器的电气特性

在推荐的运行条件下得到以下数据 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
启动时间	f = 10 MHz	ESR 最大值 = 150 Ω CL1 = CL2 = 10 pF C0 = 7 pF		4		ms
	f = 20 MHz	ESR 最大值 = 60 Ω CL1 = CL2 = 10 pF C0 = 7 pF		2		ms
晶体驱动电平(DL)					1	mW

6.7.3.5 内部振荡器

本器件包含两个独立的内部振荡器，分别称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 的源，INTOSC1 设置为备份时钟源。

6.7.3.5.1 内部振荡器特性

在推荐的运行条件下得到以下数据（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	-40 to 125° C	9.75 (-2.44%)	10	10.12 (1.21%)	MHz
	-30 to 90° C	9.86 (-1.44%)	10	10.11 (1.11%)	
	-10 to 85° C	9.89 (-1.16%)	10	10.10 (0.98%)	
$f_{\text{INTOSC-STABILITY}}$	在室温下的频率稳定性	30° C		±0.1	%
$t_{\text{INTOSC-ST}}$	启动和建立时间			10 - 20	μs

(1) 内部振荡器频率可能因焊料回流的热应力和机械应力而发生变化。回流后烘焙可以将单元恢复到其原始数据表的性能。

6.7.4 Flash 参数

下表列出了不同频率下所需的 Flash 读等待周期数，它是寄存器 flash_timing_register0[read_tcytc]的值。

CPUCLK(MHz)	read_tcytc 整数
360 < CPUCLK ≤ 400	10
320 < CPUCLK ≤ 360	9
280 < CPUCLK ≤ 320	8
240 < CPUCLK ≤ 280	7
200 < CPUCLK ≤ 240	6
160 < CPUCLK ≤ 200	5
120 < CPUCLK ≤ 160	4
80 < CPUCLK ≤ 120	3
10 < CPUCLK ≤ 80	2

下表列出了 flash 编程、擦除、数据保存时间等参数。

参数		最小值	典型值	最大值	单位
读访问时间	-			25	ns
编程时间	16byte			15	us
sector 擦除时间	8KB*10000 次			20	ms
	8KB*100000 次			100	ms
main 擦除时间	512KB*1 次			100	ms
擦写次数	整个 Flash Array			10000	次
擦写次数	每个 Flash Bank 的后 256KB			100000	次
数据保存时间	125°C	10			年
	85°C	20			

6.7.5 仿真调试与 JTAG

JTAG (IEEE1149.1-1990 标准) 端口有四个专用引脚: TMS、TDI、TDO 和 TCK。紧凑型 cJTAG (IEEE1149.7-2009 标准) 只需要 TMS 和 TCK 两个引脚, TDI/TDO 引脚可以用作 GPIO 或者其他复用功能。

当 MCU 与 JTAG 调试器之间的距离小于 6 英寸 (15.24 cm) 且 JTAG 链上不存在其他设备时, JTAG 信号不需要添加额外的缓冲器。否则, 每个信号都需要添加缓冲器 (长线驱动器)。此外, 对于大多数 TCK 工作在 10 MHz 以下的情况, JTAG 信号不需要串联阻抗匹配电阻。而当 TCK 频率比较高时 (35 MHz 左右) 需要在 JTAG 信号线上串联 22Ω 电阻用于阻抗匹配。

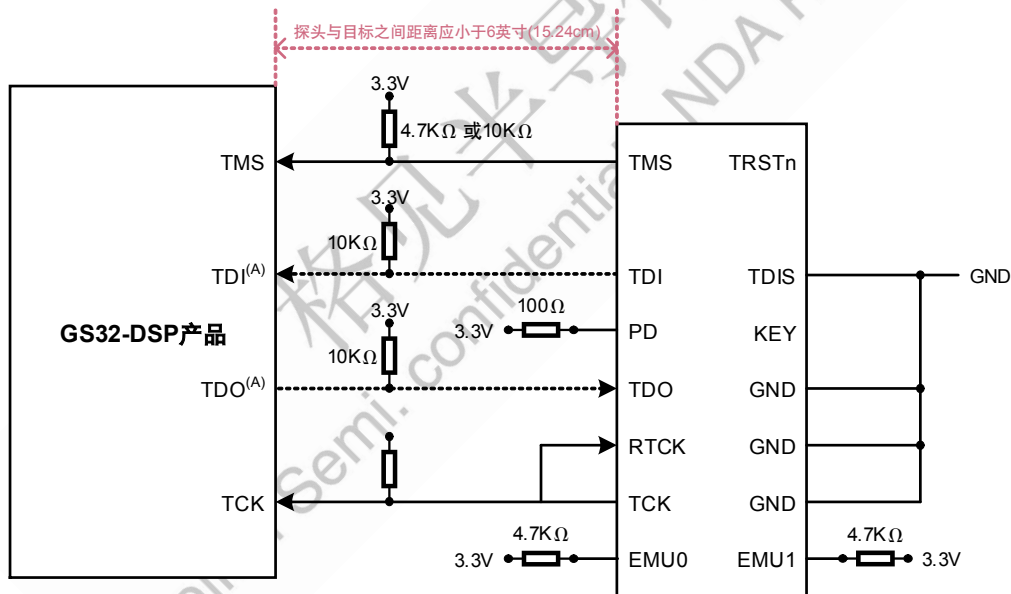
JTAG 调试接口电源检测引脚 (Vref/PD) 应连接到电路板的 3.3-V 电源上。GND 引脚应与电路板共地。TDIS (电缆断开检测) 引脚也应连接与电路板共地。JTAG 时钟应该从调试器的 TCK 输出至电路板然后环回至调试器的 RTCK 输入引脚 (通过调试器感知时钟的连续性)。本器件不支持 EMU0 和 EMU1 信号, 这些信号需要使用 2.2 kΩ 到 4.7 kΩ 电阻 (取决于调试器端口的驱动器强度) 上拉至 3.3V。

JTAG 调试器复位信号 (RESET) 为开漏输出型引脚 (只有 20 脚接口支持), 可通过 JTAG 调试命令来控制该信号。14 针 JTAG 调试器与本器件的连接关系可参考下图。20 针 JTAG 调试器与本器件的连接关系可参考图 6-15。其中未使用的 EMU2、EMU3 及 EMU4 引脚应接地。

有关硬件断点和监视点的更多信息, JTAG/cJTAG 的配置, 请参见用户手册。

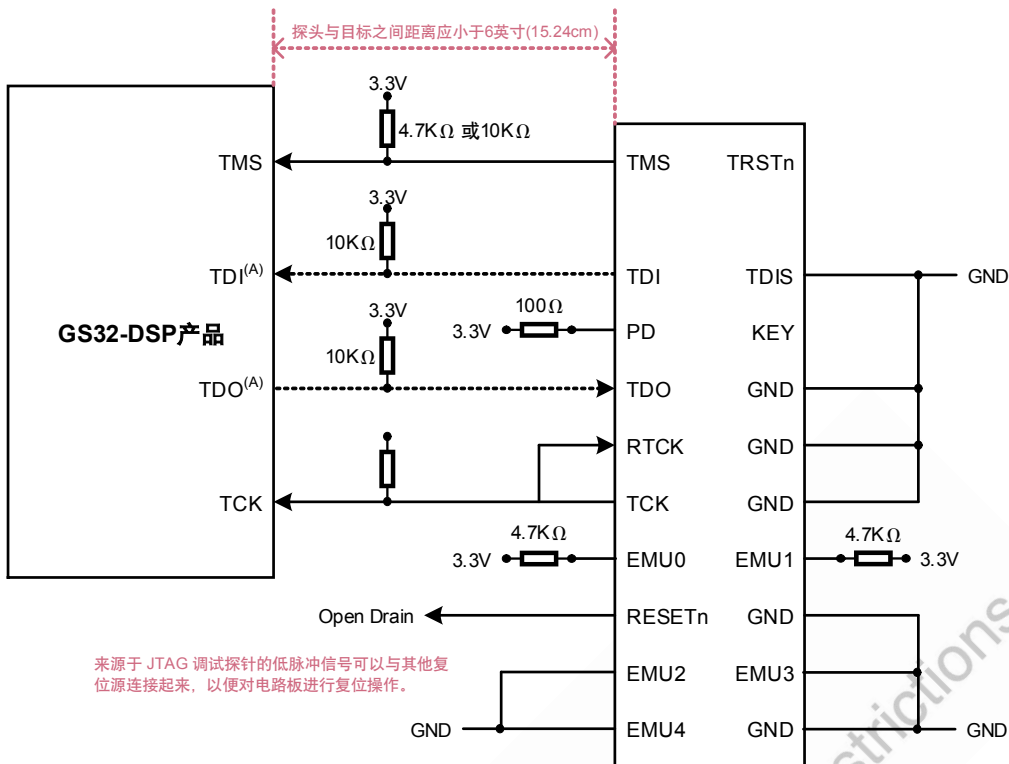
备注

JTAG 测试数据输入 (TDI) 是输入引脚的默认 pinmux 功能选择。默认情况下, 将禁用内部上拉功能。如果此引脚用作 JTAG TDI, 则应启用内部上拉或在电路板上添加外部上拉, 以避免浮空输入。JTAG 测试数据输出 (TDO) 也是引脚的默认 pinmux 功能选择。默认情况下, 将禁用内部上拉功能。当芯片未处于调试状态时, TDO 输出将处于三态状态, 使这个引脚浮空。需要使能内部上拉或在电路板上添加外部上拉, 以避免 GPIO 输入浮空。当使用两线 cJTAG 模式 (TMS/TCK) 进行调试时, TDI/TDO 引脚可以用作普通 GPIO。



A. cJTAG 选项不需要 TDI 和 TDO 连接, 这些引脚可以用作 GPIO 功能。

图 6-14. 与 14 针 JTAG 连接



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可以用作 GPIO 功能。

图 6-15. 与 20 针 JTAG 连接

6.7.5.2 JTAG 电气数据和时序

6.7.5.2.1 JTAG 时序要求

NO.	参数	描述	最小值	最大值	单位
1	$t_{c}(TCK)$	循环时间, TCK	66.66		ns
1a	$t_{w}(TCKH)$	脉冲持续时间, TCK 高 (40% of t_c)	26.66		ns
1b	$t_{w}(TCKL)$	脉冲持续时间, TCK 低(40% of t_c)	26.66		ns
3	$t_{su}(TDI-TCKH)$	输入设置时间, TDI 有效 TCK 高	7		ns
	$t_{su}(TMS-TCKH)$	输入设置时间, TMS 有效 TCK 高	7		
4	$t_h(TCKH-TDI)$	输入保持时间, TDI 从 TCK 高开始有效	7		ns
	$t_h(TCKH-TMS)$	输入保持时间, TMS 从 TCK 高开始有效	7		

6.7.5.2.2 JTAG 开关特性

NO.	参数	描述	最小值	最大值	单位
2	$t_d(TCKL-TDO)$	延迟时间, TCK 低至 TDO 有效	6	20	ns

6.7.5.2.3 JTAG 时序图

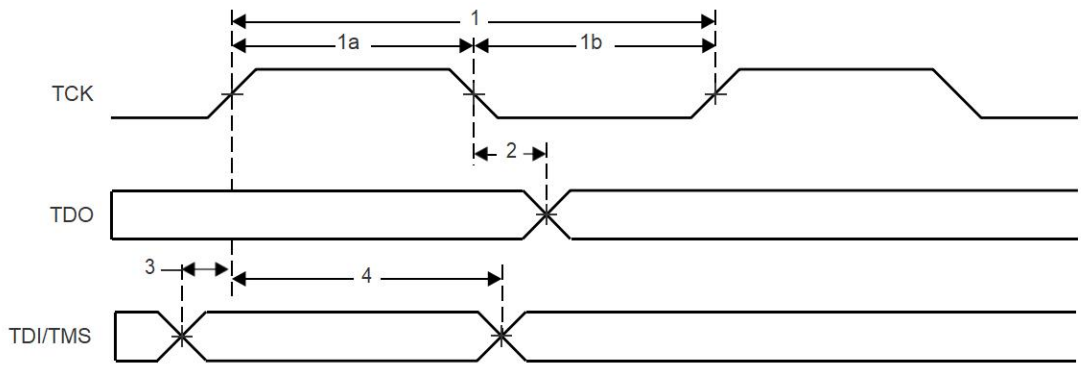


图 6-16. JTAG 时序

6.7.5.3 cJTAG 电气数据和时序

6.7.5.3.1 cJTAG 时序要求

NO.	参数		最小值	最大值	单位
1	$t_{c(TCK)}$	循环时间, TCK	100		ns
1a	$t_{w(TCKH)}$	脉冲持续时间, TCK 高 (40% of t_c)	40		ns
1b	$t_{w(TCKL)}$	脉冲持续时间, TCK 低(40% of t_c)	40		ns
3	$t_{su(TDI-TCKH)}$	输入设置时间, TDI 有效 TCK 高	15		ns
	$t_{su(TMS-TCKH)}$	输入设置时间, TMS 有效 TCK 高	15		
4	$t_h(TCKH-TDI)$	输入保持时间, TDI 从 TCK 高开始有效	2		ns
	$t_h(TCKH-TMS)$	输入保持时间, TMS 从 TCK 高开始有效	2		

6.7.5.3.2 cJTAG 开关特性

NO.	参数		最小值	最大值	单位
2	$t_d(TCKL-TDO)$	延迟时间, TCK 低至 TDO 有效	5	20	ns
5	$t_{dis}(TCKH-TDO)$	延迟时间, TCK 高到 TMS 无效		20	

6.7.5.3.3 cJTAG 时序图

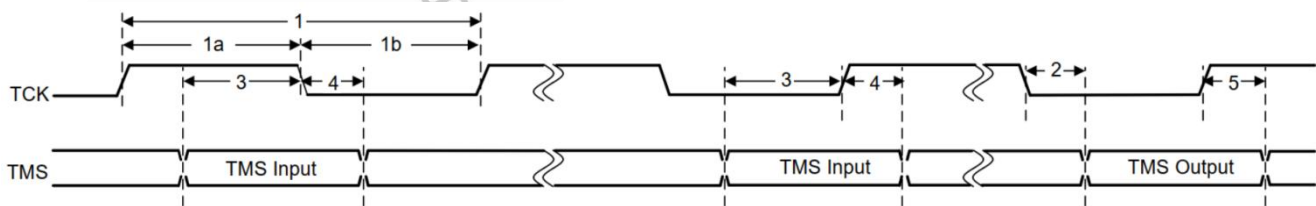


图 6-17. cJTAG 时序

6.7.6 GPIO

每个 GPIO 引脚都可以通过软件配置为输出（推挽/开漏）、输入（带上拉或下拉或不带上下拉）、或其它外设功能。大多数 GPIO 引脚与数字或模拟备用功能共用，详情查看数据手册的引脚分配表。

6.7.6.1 GPIO 输出时序

6.7.6.1.1 GPIO 输出开关特性

基于推荐的运行条件（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间, GPIO 从低电平切换到高电平	所有 GPIO		8 ⁽¹⁾	ns
$t_{f(GPO)}$	下降时间, GPIO 从高电平切换到低电平	所有 GPIO		8 ⁽¹⁾	ns
t_{fGPO}	切换频率, GPIO 引脚			50	MHZ

(1) 上升时间和下降时间随负载变化。这些值假定负载为 20pF。

6.7.6.1.2 GPIO 输出时序图

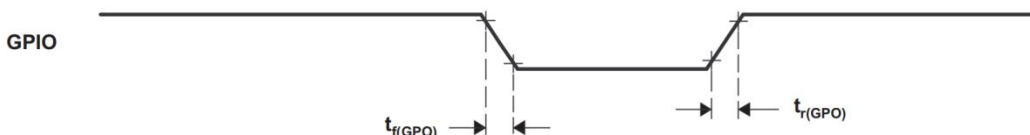


图 6-18. GPIO 输出时序图

6.7.6.2 GPIO 输入时序

6.7.6.2.1 GPIO 输入时序要求

参数			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		cycles
		QUALPRD \neq 0	$2t_{c(SYSCLK)} * QUALPRD$		cycles
$t_{w(IQSW)}$	输入采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		cycles
$t_{w(GPI)}$ ⁽²⁾	脉冲持续时间、GPIO 低/高	同步模式	$2t_{c(SYSCLK)}$		cycles
		带输入限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		cycles

(1) “n” 代表 GPxQSELn 寄存器定义的采样数。

(2) 对于 $t_{w(GPI)}$ ，对于低电平有效信号，脉冲宽度是从 VIL 到 VIL 测量的；对于高电平有效信号，脉冲宽度是从 VIH 到 VIH 测量的。

6.7.7 中断

本器件的 DSP 核内置了增强型内核中断控制器（Enhanced Core Local Interrupt Controller, ECLIC），支持多达 259 个中断源，其中核内部 19 个中断源中断编号从 0 开始，核外部 240 个中断源中断编号从 19 开始。

ECLIC 主要特性如下：

- 支持 8 个中断优先级。
- 支持尾部链接
- 支持高优先级中断抢占
- 支持低延迟矢量中断及普通非矢量中断

GS32F0039 全系列的所有中断源如下表所示。其中，每个型号根据各自支持的特性规格，中断源可能是下表的子集。

表 6-11. DSP 中断源编号

中断源编号	中断名称	说明
0	Reserved	保留中断
1	Reserved	保留中断
2	Reserved	保留中断
3	SysTimerSW_IRQn	软中断
4	Reserved	保留中断
5	Reserved	保留中断
6	Reserved	保留中断
7	SysTimer_IRQn	核内定时器中断
8	Reserved	保留中断
9	Reserved	保留中断
10	Reserved	保留中断
11	Reserved	保留中断
12	Reserved	保留中断
13	Reserved	保留中断
14	Reserved	保留中断
15	Reserved	保留中断
16	Reserved	保留中断
17	Reserved	保留中断
18	Reserved	保留中断
19	Reserved	保留中断
20	Reserved	保留中断
21	Reserved	保留中断
22	Reserved	保留中断
23	Reserved	保留中断
24	Reserved	保留中断
25	Reserved	保留中断
26	Reserved	保留中断
27	Reserved	保留中断
28	Reserved	保留中断
29	Reserved	保留中断
30	Reserved	保留中断
31	Reserved	保留中断
32	Reserved	保留中断
33	Reserved	保留中断
34	Reserved	保留中断
35	Reserved	保留中断

中断源编号	中断名称	说明
36	Reserved	保留中断
37	Reserved	保留中断
38	Reserved	保留中断
39	Reserved	保留中断
40	Reserved	保留中断
41	Reserved	保留中断
42	Reserved	保留中断
43	Reserved	保留中断
44	Reserved	保留中断
45	Reserved	保留中断
46	Reserved	保留中断
47	Reserved	保留中断
48	Reserved	保留中断
49	Reserved	保留中断
50	Reserved	保留中断
51	Reserved	保留中断
52	Reserved	保留中断
53	Reserved	保留中断
54	Reserved	保留中断
55	INT_DSP_M_FAIL	复位总线接管失败中断
56	Reserved	保留中断
57	Reserved	保留中断
58	Reserved	保留中断
59	Reserved	保留中断
60	Reserved	保留中断
61	INT_STC	MBIST 完成或异常检查中断
62	INT_EPG	EPG 中断
63	Reserved	保留中断
64	Reserved	保留中断
65	Reserved	保留中断
66	INT_ERAD_RTOSINT1	ERADRTOS 中断
67	Reserved	保留中断
68	Reserved	保留中断
69	Reserved	保留中断
70	Reserved	保留中断
71	Reserved	保留中断
72	Reserved	保留中断
73	Reserved	保留中断
74	Reserved	保留中断
75	INT_AES	AES 中断
76	INT_WINDOW_FFT	FFT 加窗完成中断
77	INT_FFT	FFT 计算完成中断
78	INT_CRC	CRC 中断
79	INT_DBUS	ERAD 数据总线中断
80	INT_IBUS	ERAD 指令总线中断
81	INT_EFC_DONE	Flash 编程完成中断
82	INT_EFC	Flash 控制器中断
83	Reserved	保留中断
84	Reserved	保留中断

中断源编号	中断名称	说明
85	INT_XINT16	XBAR 输出至 CPU 中断 16
86	INT_XINT15	XBAR 输出至 CPU 中断 15
87	INT_XINT14	XBAR 输出至 CPU 中断 14
88	INT_XINT13	XBAR 输出至 CPU 中断 13
89	INT_XINT12	XBAR 输出至 CPU 中断 12
90	INT_XINT11	XBAR 输出至 CPU 中断 11
91	INT_XINT10	XBAR 输出至 CPU 中断 10
92	INT_XINT9	XBAR 输出至 CPU 中断 9
93	INT_XINT8	XBAR 输出至 CPU 中断 8
94	INT_XINT7	XBAR 输出至 CPU 中断 7
95	INT_XINT6	XBAR 输出至 CPU 中断 6
96	INT_XINT5	XBAR 输出至 CPU 中断 5
97	INT_XINT4	XBAR 输出至 CPU 中断 4
98	INT_XINT3	XBAR 输出至 CPU 中断 3
99	Reserved	保留中断
100	Reserved	保留中断
101	Reserved	保留中断
102	Reserved	保留中断
103	INT_ADCC4	ADCC4 中断
104	INT_ADCC3	ADCC3 中断
105	INT_ADCC2	ADCC2 中断
106	INT_ADCC_EVT	ADCC 消息中断
107	INT_ADCB4	ADCB4 中断
108	INT_ADCB3	ADCB3 中断
109	INT_ADCB2	ADCB2 中断
110	INT_ADCB_EVT	ADCB 消息中断
111	INT_ADCA4	ADCA4 中断
112	INT_ADCA3	ADCA3 中断
113	INT_ADCA2	ADCA2 中断
114	INT_ADCA_EVT	ADCA 消息中断
115	Reserved	保留中断
116	Reserved	保留中断
117	INT_PMBUSA_ALERT	PMBUSA 事件中断
118	INT_PMBUSA	PMBUSA 中断
119	Reserved	保留中断
120	Reserved	保留中断
121	INT_GPIO	GPIO 中断
122	INT_QSPI	QSPI 中断
123	Reserved	保留中断
124	Reserved	保留中断
125	INT_CANB	CANB 中断
126	INT_CANA	CANA 中断
127	Reserved	保留中断
128	Reserved	保留中断
129	INT_SCIB	SCIB 中断
130	INT_SCIA	SCIA 中断
131	INT_LINB	LINB 中断
132	INT_LINA	LINA 中断
133	INT_USER12	软件中断 12

中断源编号	中断名称	说明
134	INT_USER11	软件中断 11
135	INT_USER10	软件中断 10
136	INT_USER9	软件中断 9
137	INT_USER8	软件中断 8
138	INT_USER7	软件中断 7
139	INT_USER6	软件中断 6
140	INT_USER5	软件中断 5
141	INT_USER4	软件中断 4
142	INT_USER3	软件中断 3
143	INT_USER2	软件中断 2
144	INT_USER1	软件中断 1
145	INT_I2CB	I2CB 中断
146	INT_I2CA	I2CA 中断
147	INT_DMA1_CH7	DSPDMA 通道 7 中断
148	INT_DMA1_CH6	DSPDMA 通道 6 中断
149	INT_DMA1_CH5	DSPDMA 通道 5 中断
150	INT_DMA1_CH4	DSPDMA 通道 4 中断
151	INT_DMA1_CH3	DSPDMA 通道 3 中断
152	INT_DMA1_CH2	DSPDMA 通道 2 中断
153	INT_DMA1_CH1	DSPDMA 通道 1 中断
154	INT_DMA1_CH0	DSPDMA 通道 0 中断
155	Reserved	保留中断
156	Reserved	保留中断
157	Reserved	保留中断
158	Reserved	保留中断
159	Reserved	保留中断
160	Reserved	保留中断
161	Reserved	保留中断
162	Reserved	保留中断
163	INT_SDFM2DR4	SDFM2_DR4 中断
164	INT_SDFM2DR3	SDFM2_DR3 中断
165	INT_SDFM2DR2	SDFM2_DR2 中断
166	INT_SDFM2DR1	SDFM2_DR1 中断
167	Reserved	保留中断
168	INT_DMAMUX1_OVERFLOW	DMAMUX1 溢出中断
169	Reserved	保留中断
170	Reserved	保留中断
171	Reserved	保留中断
172	INT_TIMER3	CPUTIMER3 中断
173	INT_TIMER2	CPUTIMER2 中断
174	INT_TIMER1	CPUTIMER1 中断
175	Reserved	保留中断
176	Reserved	保留中断
177	INT_SPIB	SPIB 中断
178	INT_SPIA	SPIA 中断
179	INT_SDFM1DR4	SDFM1_DR4 中断
180	INT_SDFM1DR3	SDFM1_DR3 中断
181	INT_SDFM1DR2	SDFM1_DR2 中断
182	INT_SDFM1DR1	SDFM1_DR1 中断

中断源编号	中断名称	说明
183	Reserved	保留中断
184	INT_SDFM2	SDFM2 中断
185	INT_SDFM1	SDFM1 中断
186	Reserved	保留中断
187	Reserved	保留中断
188	Reserved	保留中断
189	INT_CLB4	CLB4 中断
190	INT_CLB3	CLB3 中断
191	INT_CLB2	CLB2 中断
192	INT_CLB1	CLB1 中断
193	INT_EQEP2	EQEP2 中断
194	INT_EQEP1	EQEP1 中断
195	INT_ECAP7_2	高分辨率 ECAP7 中断
196	INT_ECAP6_2	高分辨率 ECAP6 中断
197	INT_ECAP3_2	高分辨率 ECAP3 中断
198	Reserved	保留中断
199	Reserved	保留中断
200	Reserved	保留中断
201	Reserved	保留中断
202	Reserved	保留中断
203	Reserved	保留中断
204	INT_ECAP7	ECAP7 中断
205	INT_ECAP6	ECAP6 中断
206	INT_ECAP5	ECAP5 中断
207	INT_ECAP4	ECAP4 中断
208	INT_ECAP3	ECAP3 中断
209	INT_ECAP2	ECAP2 中断
210	INT_ECAP1	ECAP1 中断
211	Reserved	保留中断
212	Reserved	保留中断
213	Reserved	保留中断
214	Reserved	保留中断
215	INT_EPWM12	EPWM12 中断
216	INT_EPWM11	EPWM11 中断
217	INT_EPWM10	EPWM10 中断
218	INT_EPWM9	EPWM9 中断
219	INT_EPWM8	EPWM8 中断
220	INT_EPWM7	EPWM7 中断
221	INT_EPWM6	EPWM6 中断
222	INT_EPWM5	EPWM5 中断
223	INT_EPWM4	EPWM4 中断
224	INT_EPWM3	EPWM3 中断
225	INT_EPWM2	EPWM2 中断
226	INT_EPWM1	EPWM1 中断
227	Reserved	保留中断
228	Reserved	保留中断
229	Reserved	保留中断
230	Reserved	保留中断
231	INT_EPWM12_TZ	错误联防保护中断 12

中断源编号	中断名称	说明
232	INT_EPWM11_TZ	错误联防保护中断 11
233	INT_EPWM10_TZ	错误联防保护中断 10
234	INT_EPWM9_TZ	错误联防保护中断 9
235	INT_EPWM8_TZ	错误联防保护中断 8
236	INT_EPWM7_TZ	错误联防保护中断 7
237	INT_EPWM6_TZ	错误联防保护中断 6
238	INT_EPWM5_TZ	错误联防保护中断 5
239	INT_EPWM4_TZ	错误联防保护中断 4
240	INT_EPWM3_TZ	错误联防保护中断 3
241	INT_EPWM2_TZ	错误联防保护中断 2
242	INT_EPWM1_TZ	错误联防保护中断 1
243	Reserved	保留中断
244	Reserved	保留中断
245	Reserved	保留中断
246	Reserved	保留中断
247	INT_DSP_WWDG	DSP 窗口看门狗中断
248	Reserved	保留中断
249	INT_SYS_ERR	系统错误中断
250	INT_DSP_WDG	DSP 看门狗中断
251	Reserved	保留中断
252	INT_TIMER0	CPUTIMER0 中断
253	INT_WAKE	唤醒中断
254	INT_XINT2	XBAR 输出至 CPU 中断 2
255	INT_XINT1	XBAR 输出至 CPU 中断 1
256	INT_ADCC1	ADCC1 中断
257	INT_ADCB1	ADCB1 中断
258	INT_ADCA1	ADCA1 中断

6.8 模拟外设

6.8.1 模拟子系统

本节介绍了模拟子系统。

模拟子系统包括模拟-数字转换器 (ADC)、温度传感器 T-Sensor、比较器子系统 (CMPSS) 和缓冲数字-模拟转换器 (Buffered-DAC)。

模拟子系统具有以下特性:

- 灵活的电压基准
 - ADC 以 VREFHix 和 VSSA 引脚为基准
 - VREFHix 引脚电压可由外部驱动或由内部带隙电压基准生成
 - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V
 - Buffered DAC 以 VREFHix 和 VSSA 为基准
 - 或者, 这些 DAC 能以 VDAC 引脚和 VSSA 为基准
 - 比较器 DAC (Inner DAC) 以 VDDA 和 VSSA 为基准
 - 或者, 这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 灵活地使用引脚
 - Buffered DAC 输出、比较器子系统输入、ADC 输入和数字输入、输出进行多路复用
 - 所有 ADC 上的 VREFLO 的内部连接用于失调电压自我校准。

图 6-19 显示了模拟子系统方框图和信号连接关系示意图。

格见半导体
Gejian Semi. confidential - NDA Restrictions

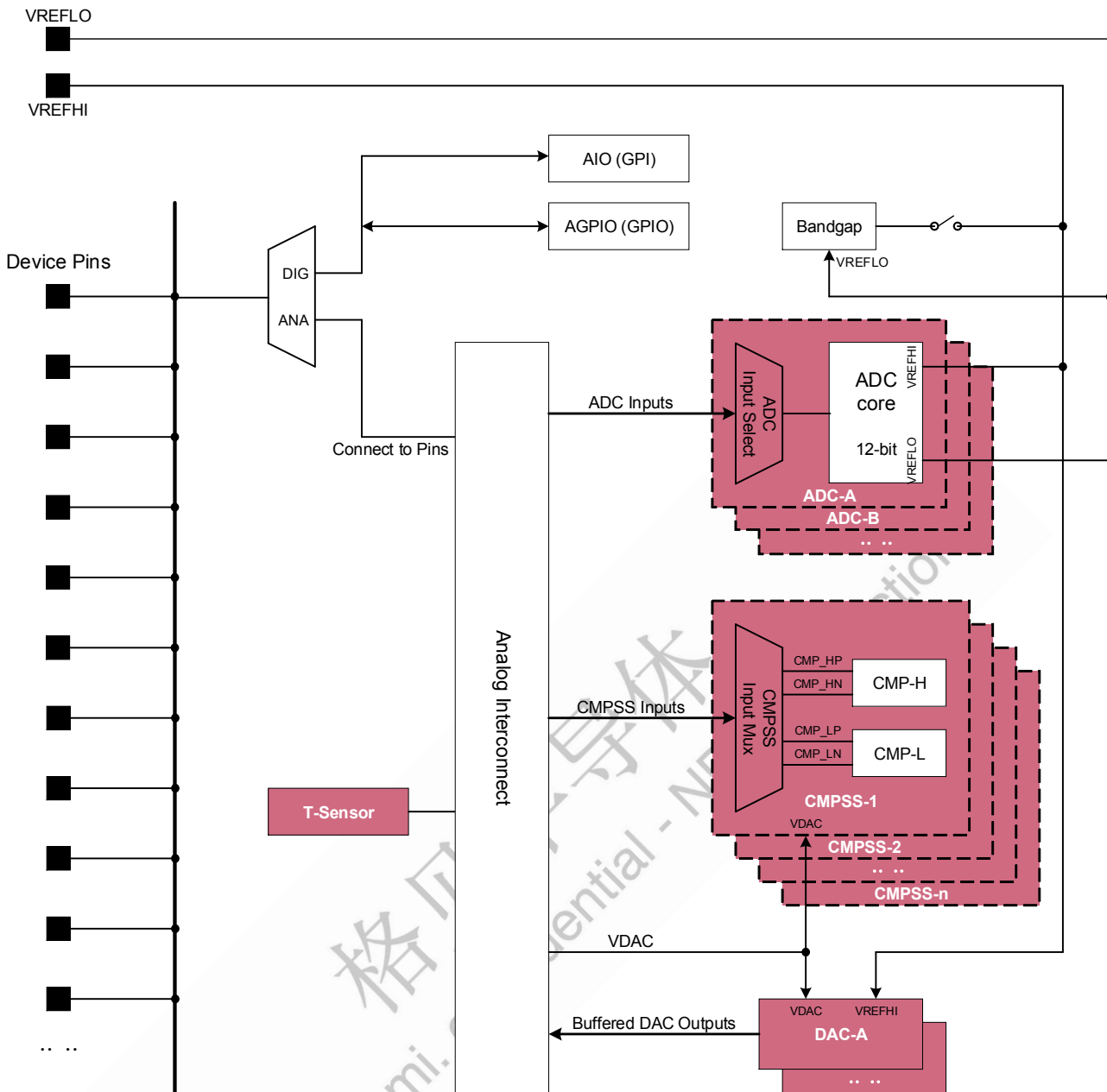


图 6-19. 模拟子系统

6.8.2 ADC

6.8.2.1 ADC 简介

本节描述的 ADC 模块是分辨率为 12 位的逐次逼近 (SAR) 型 ADC。ADC 的模拟电路部分，包括通道选择 MUX、采样保持(S/H)电路、逐次逼近电路、电压参考电路和其他模拟支持电路。ADC 的数字电路部分，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外围总线接口、后处理电路 (PPB)、增强后处理 (EPPB) 以及与其他片上模块的接口。

每个 ADC 模块均包含一个采样保持 (S/H) 电路。在同一芯片上存在多个 ADC 模块，从而允许多个 ADC 输入同时采样，或允许每个 ADC 模块独立运行。ADC 数字电路是基于 SOC (开启转换) 机制工作的。(详情参阅本器件参考手册的 ADC 章节)。

GS ADC 系列目前包括 GS-Type2、GS-Type3 ADC 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q)，其 ADC 类型为 GS-Type2。

GS ADC 支持特性描述如下表所示：

表 6-13. GS-ADC 支持特性描述

特性分类	特性描述	GS-Type2 ADC	GS-Type3 ADC
分辨率	12-bit 分辨率	Y	Y
参考模式	由 VREFHI/VREFLO 设置外部参考电压	Y	Y
	2.5V 内部参考电压模式 (输出 2.5V)	Y	Y
	3.3V 内部参考电压模式 (输出 1.65V)	Y	Y
输入信号	单端输入	Y	Y
	外部扩展通道选择		Y
	支持多个输入通道的多路复用器 (参考规格列表)	Y	Y
触发源	支持多种触发源: <ul style="list-style-type: none"> ■ S/W: 软件立即触发 ■ ePWM 硬连信号触发: ADC SOC A 和 B ■ 外部输入中断 GPIO XINT ■ CPU Timers ■ ADC INT 	Y	Y
	Burst 触发模式	Y	Y
	触发信号相位可灵活延迟	Y	Y
中断和事件	产生中断和事件上报	Y	Y
采样通道调度	支持多个可配置开启转换通道 (SOC)，每个都有单独寻址的结果寄存器	Y	Y
	支持不同优先级调度方式的采样通道轮询	Y	Y
过采样	采样个数、首次采样延时、采样间隔灵活可配置	Y	Y
	过采样超时的自适应控制	-	Y
欠采样	欠采样控制	Y	Y
后处理 PPB	饱和和偏移校准	Y	Y
	设定值计算误差	-	Y
	高门限、低门限、过零点比较，可用于上报中断和 ePWM 封波控制	Y	Y
	触发到采样的延时捕获	Y	Y
	绝对值计算	Y	Y
	过采样数据累加和位移操作	Y	Y
	平均值滤波功能	Y	Y
	去除最大最小值求平均	-	Y
	一阶滤波功能	-	Y
滑动平均滤波功能	-	Y	
增强后处理 EPPB	多通道间求平均	Y	Y
	结果类型转换	Y	Y

备注：并非每个 ADC 的每个通道都被引出来了，请参阅引脚配置和功能部分以确定哪些通道可用。

ADC 功能框图如下所示：

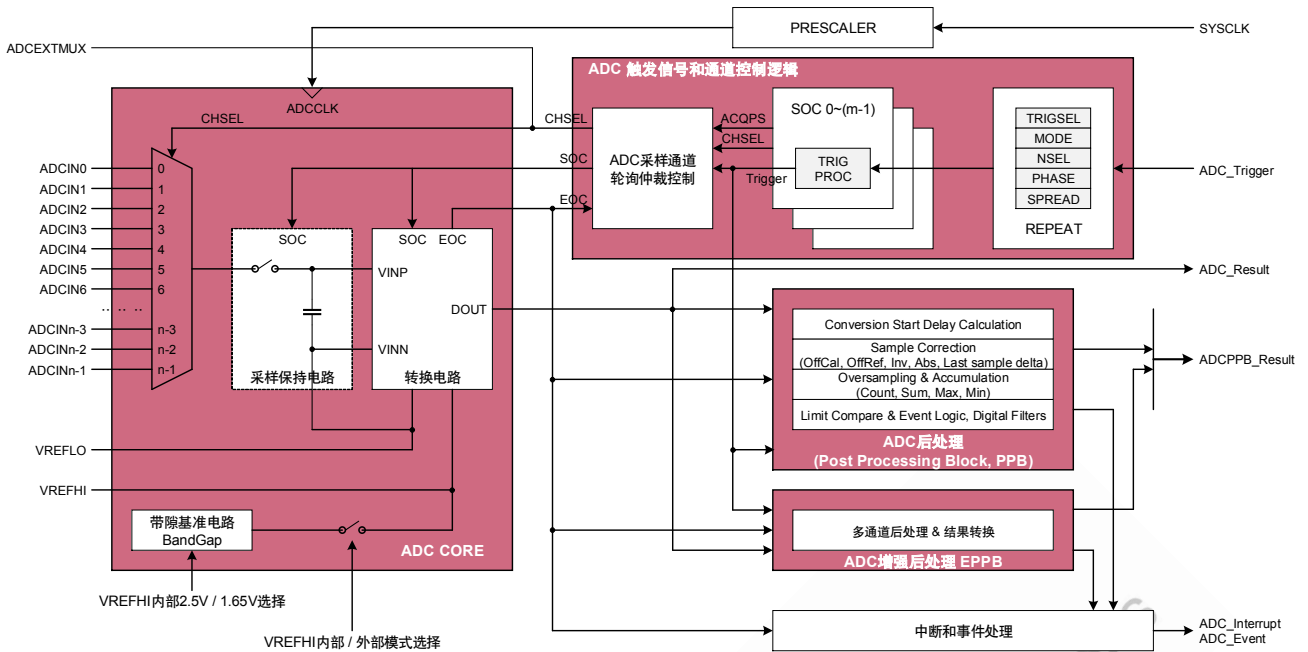


图 6-20. ADC 功能框图

6.8.2.2 ADC 配置

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。下表总结了基本 ADC 选项及其配置级别。

选项	配置级别
时钟	每个模块
分辨率	不可配置 (只能 12bit)
参考电压源	每个模块都可配置为内部或者外部电压
信号模式	不可配置 (只能单端模式)
触发源	每个 SOC
转换通道	每个 SOC
采集窗持续时间	每个 SOC
EOC 位置	每个模块
突发模式	每个模块

备注：将这些值以不同的方式写入不同的 ADC 模块可能会导致 ADC 异步运行。有关 ADC 何时同步或异步运行的指导，请参阅《参考手册》中模数转换器 (ADC) 一章的确保同步运行部分。

6.8.2.2.1 信号模式

ADC 支持单端模式。转换器的输入电压通过单个引脚(ADCINx)进行采样，以 VREFLO 为参考。

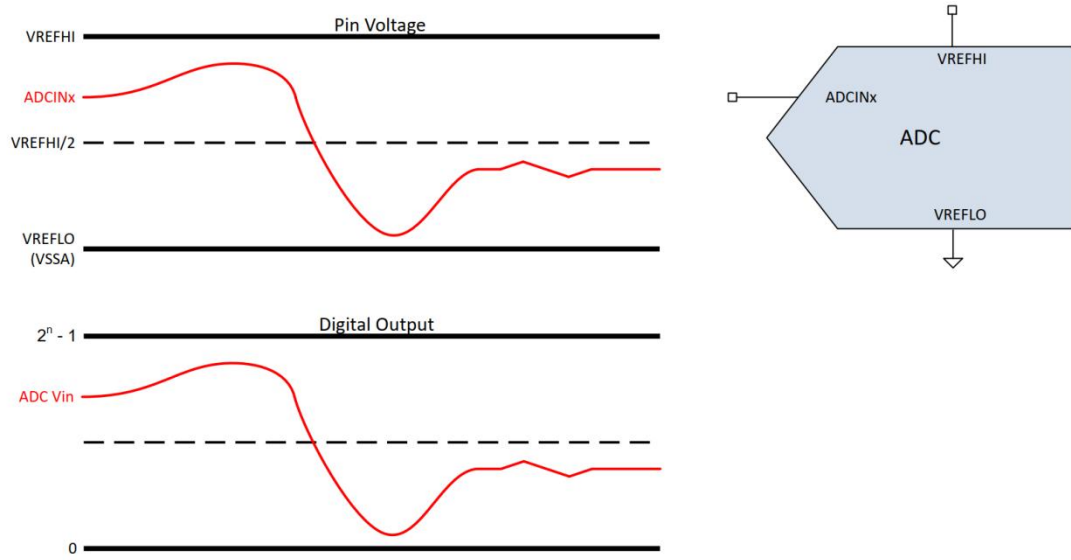


图 6-21. $ADCINx/ADCVin$ 采样图

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.8.2.3 ADC 电气特性与时序

注意：在工作期间，模数转换器（ADC）的输入电压应维持在 $VDDA+0.05V$ 以下，且不低于 $0V$ 。若 ADC 输入电压未能满足此规定范围，可能会导致器件内部的参考电压（VREF）受到干扰，进而影响到使用同一参考电压的其他 ADC 输入通道的测量结果。

注意：VREFHI 引脚的电压必须控制在 $VDDA + 0.3V$ 以下，以保证其功能的正常运作。若 VREFHI 引脚的电压超过此限制，可能会触发阻塞电路的激活，导致 VREFHI 引脚的内部电压值不稳定并可能降至 $0V$ ，从而引起模数转换器（ADC）的转换结果出现误差。

6.8.2.3.1 ADC 运行条件

在允许的工作温度范围内（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (从 SYSCLK 分频得到)		5		80	MHz
采样速率				4	MSPS
采样窗长(由 ACQPS 与 SYSCLK 配置) ⁽¹⁾	With 50 Ω or less Rs	60			ns
VREFHI	外部参考电压	2.4	2.5 or 3.0	VDDA	V
VREFHI ⁽²⁾	内部为 3.3V 的参考电压		1.65		V
	内部为 2.5V 的参考电压		2.5		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部为 3.3V 的参考电压	0		3.3	V
	内部为 2.5V 的参考电压	0		2.5	V
	外部参考电压	VREFLO		VREFHI	V

(1)采样窗口必须大于等于 1 个 ADCCLK 周期。

(2)在内部参考模式下，参考电压由器件的 VREFHI 引脚驱动，用户不应在此模式下将外部电压连接至 VREFHI 引脚。

6.8.2.3.2 ADC 电气特性

参数	测试条件	最小值	典型值	最大值	单位
常规特性					
ADCCLK 转换周期			17		ADCCLKs
上电时间	外部参考模式			500	μs
	内部参考模式			5000	μs
	内部参考模式，在 2.5V 到 3.3V 间转换时			5000	μs
VREFHI 输入电流 ⁽¹⁾			130		μA
内部参考电容值 ⁽²⁾		2.2			μF
外部参考电容值 ⁽²⁾		2.2			μF
直流特性					
增益误差	外部参考	-6	± 4	6	LSB
偏移误差		-4	± 2	4	LSB
通道间增益误差 ⁽⁴⁾			4		LSB
通道间偏移误差 ⁽⁴⁾			4		LSB
ADC 间增益误差 ⁽⁵⁾	所有 ADC 具有相同的 VREFHI 和 VREFLO		4		LSB
ADC 间偏移误差 ⁽⁵⁾	所有 ADC 具有相同的 VREFHI 和 VREFLO		2		LSB
DNL 误差		-1	± 0.5	1.5	LSB
INL 误差		-2	± 1.0	2	LSB
ADC 至 ADC 隔离	VREFHI = 2.5 V, 同步 ADCs	-1		1	LSBs
交流特性					
SNR ⁽³⁾	外部 VREFHI, $f_{in} = 100$ kHz, SYSCLK from X1		67.5		dB

参数	测试条件	最小值	典型值	最大值	单位
THD ⁽³⁾	外部 VREFHI, fin = 100 kHz, SYSCLK from X1		-73.4		dB
SFDR ⁽³⁾	外部 VREFHI, fin = 100 kHz, SYSCLK from X1		78.9		dB
SINAD ⁽³⁾	外部 VREFHI, fin = 100 kHz, SYSCLK from X1		67.6		dB
ENOB ⁽³⁾	外部 VREFHI, fin = 100 kHz, SYSCLK from X1, 单端输入, ADC 同步模式		10.9	11.3	bits
PSRR	VDD = 1.2-V DC + 100mV DC up to Sine at 1 kHz		55		dB

(1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流增加。这会导致转换不准确。

(2) 首选封装尺寸为 0805 或更小的陶瓷电容, 容值可接受±20%的偏差。

(3) 最大限度地减少与 ADC 输入引脚相邻或者与 VREFHI 引脚相邻的引脚上的 IO 翻转, 这样可以减少电容耦合与串扰。

(4) 属于同一 ADC 模块的所有通道之间的差异。

(5) 与其他 ADC 模块相比最坏情况的差异。

6.8.2.3.3 ADC 输入模型

ADC 的输入特性如下表与下图所示。

表 6-14. 输入模型参数

	描述	值
C_p	寄生输入电容	10 pF
R_{on}	采样开关电阻	850 Ω
C_n	采样电容	8 pF
R_s	标称源阻抗	50 Ω

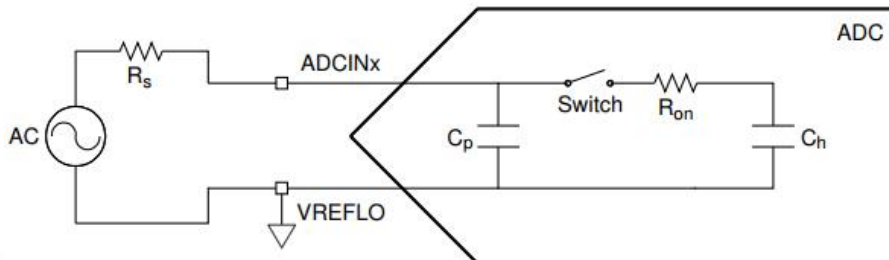


图 6-22. 输入模型等效电路

应将此输入模型与实际信号源阻抗配合使用, 来确定采集窗口时间。要了解更多信息, 请参阅本器件参考手册中“模数转换器 (ADC)”一章的“选择采集窗口时间”部分。

6.8.3 温度传感器

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过原厂提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足“温度传感器特性”表中的采集时间要求。

温度传感器电气数据和时序如下表所示：

参数		测试条件	最小值	典型值	最大值	单位
T _{acc}	温度精度	外部基准		±15		°C
t _{acq}	ADC 采集时间			400		ns

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.8.4 比较器 CMPSS

6.8.4.1 CMPSS 简介

比较器子系统 (CMPSS) 由模拟比较器和后处理电路组成，对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

CMPSS 基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC 和两个数字滤波器。该子系统还包括一个斜坡发生器。比较器在每个模块中用“H”或“L”表示，分别指示高比较器和低比较器。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。

CMPSS 中两个比较器联合使用支持“窗口比较”功能，两个比较器独立使用支持“独立比较”功能。

比较器的正输入由一个外部引脚驱动，负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。一个斜坡发生器电路可用于控制该子系统中高电平比较器的基准 12 位 DAC 值。

GS CMPSS 系列目前包括 GS-Type1、GS-Type2 CMPSS 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q)，其 CMPSS 类型为 GS-Type1。

GS CMPSS 支持特性描述如下表所示：

表 6-15. GS-CMPSS 支持特性描述

特性分类	特性描述	GS-Type1 CMPSS	GS-Type2 CMPSS
比较模式	单端比较功能	Y	Y
	窗口比较功能 (2 个模拟比较器同时使用)	Y	Y
DAC 参考模式	可选择 VDDA 作为 Inner DAC 基准电压	Y	Y
	可选择 VDAC 作为 Inner DAC 基准电压	Y	Y
DAC 分辨率	12 位基准 DAC (Inner DAC)	Y	Y
	9.5 位基准 DAC (LITE 版本)	-	-
输入信号来源	可选择通过外部信号驱动比较器的正端输入	Y	Y
	可选择通过外部信号驱动比较器的负端输入	Y	Y
	可选择通过基准 DAC 驱动比较器的负端输入	Y	Y
输入信号迟滞	可选择在输入端使用迟滞功能	Y	Y
输出信号反转/锁存	可选择锁存输出信号功能	Y	Y
	可选择反转输出信号功能	Y	Y
输出信号同步	支持将输出与 SYSCLK 同步模式	Y	Y
	支持异步输出模式	Y	Y
斜坡发生器	单个斜坡发生器，单调模式	Y	-
	两个独立斜坡发生器，支持上升-下降模式	-	Y
与 EPWM 配合功能	支持子系统与 EPWMSYNCPER 同步	Y	Y
	支持通过 EPWMBLANK 扩展清除信号	Y	Y

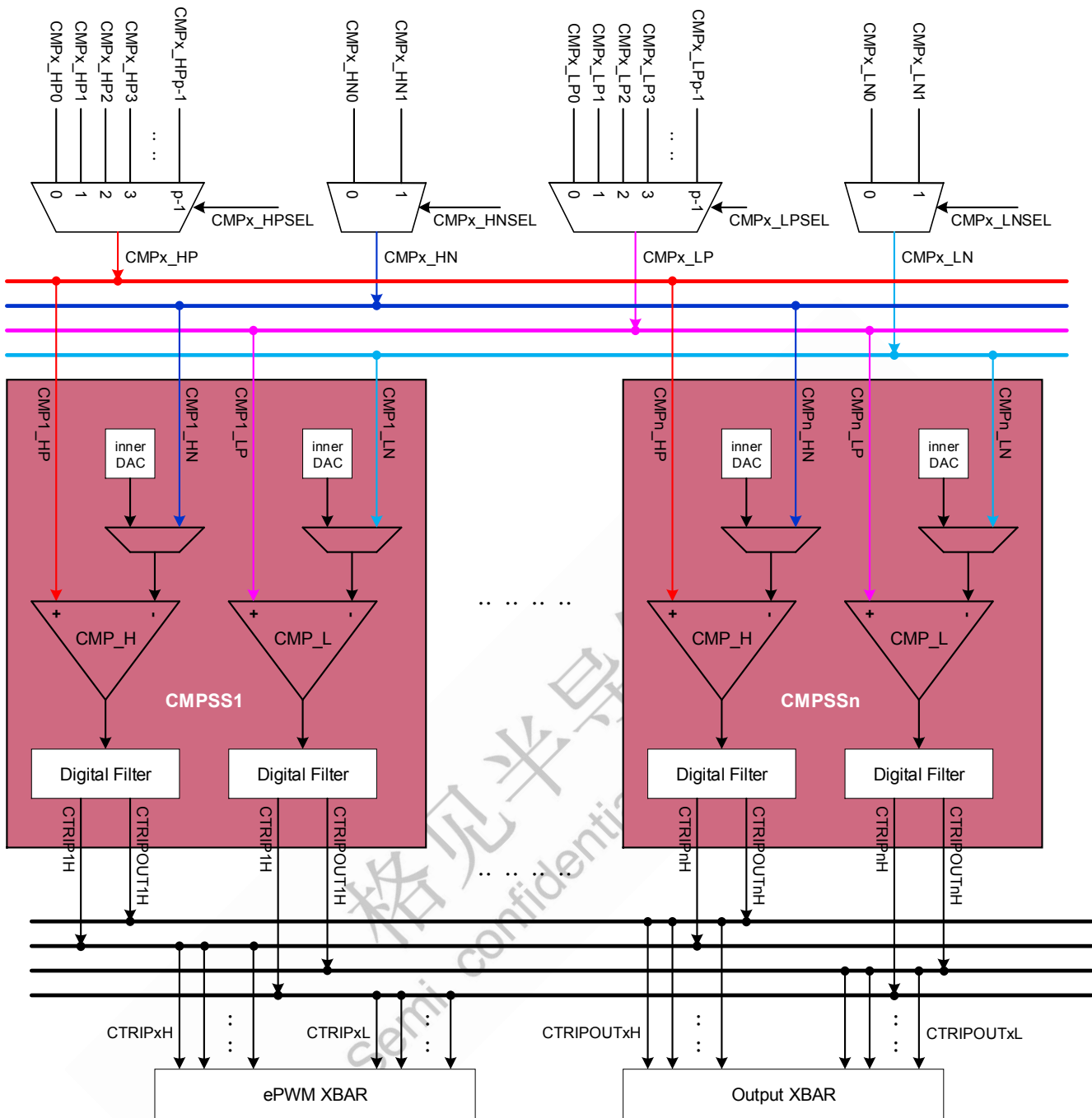


图 6-23. CMPSS 连接图

6.8.4.2 CMPSS 电气数据和时序

6.8.4.2.1 比较器电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	us
比较器输入 (CMPIN _{xx}) 范围			0		VDDA	V
以输入为基准的偏移量误差		低共模, 反相输入设置为 50mV	-20		20	mV
迟滞 ⁽¹⁾	1x			25		LSB
	2x			40		
	3x			55		
	4x			70		
	5x			85		
	6x			100		
	7x			115		
	8x			145		
响应时间		阶跃响应		40		ns
PSRR	电源抑制比	250kHz		46		dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此, 迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞如下图所示。

备注: CMPSS 输入必须保持低于 $VDDA + 0.05V$, 以确保正常工作。如果 CMPSS 输入超过此电平, 内部阻塞电路将内部比较器与外部引脚隔离, 直至外部引脚电压返回到 $VDDA + 0.05V$ 以下。在此期间, 内部比较器输入将处于悬空状态, 并能在大约 $0.5\mu s$ 内衰减至 $VDDA$ 以下。在此之后, 比较器可能会开始输出不正确的结果, 具体取决于其他比较器输入的值。

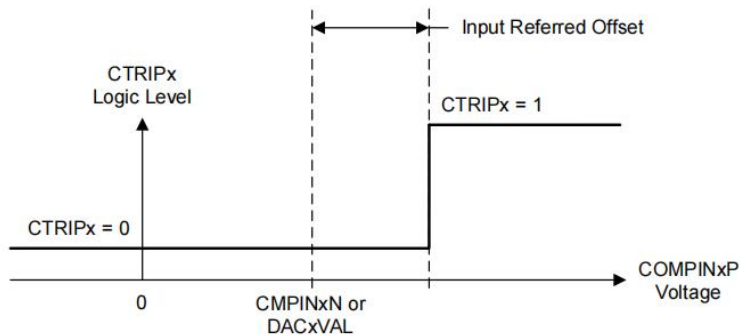


图 6-24. CMPSS 比较器以输入为基准的偏移量 (Input Referred Offset)

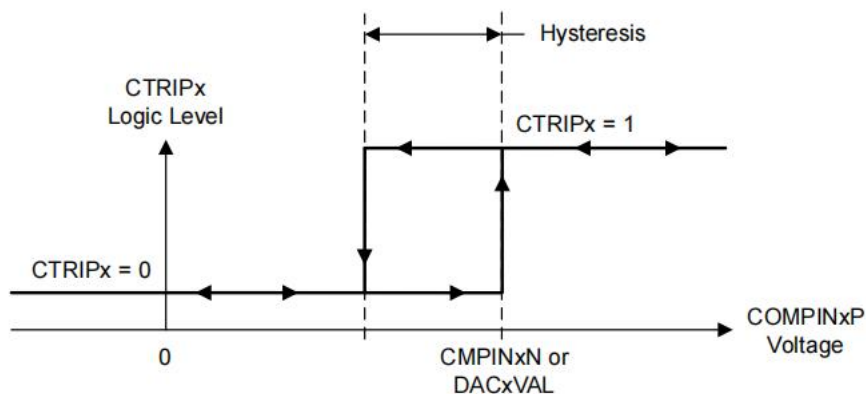


图 6-25. CMPSS 比较器迟滞

6.8.4.2.2 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC ⁽³⁾	
静态偏移量误差 ⁽¹⁾	外部基准	-20		20	mV
静态增益误差 ⁽¹⁾	外部基准	-2		2	% of FSR
静态 DNL	外部基准, 更正端点	>2		2	LSB
静态 INL	外部基准, 更正端点	-4		4	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	us
分辨率			12		位
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载 ⁽²⁾	当 VDAC 为基准时	6	8	10	kΩ

(1) 包含以比较器输入为基准的误差。

(2) 每个有源 CMPSS 模块。

(3) 当 $VDAC > VDDA$ 时, 最大输出电压为 VDDA。

6.8.5 DAC

6.8.5.1 缓冲 DAC 简介

缓冲 DAC 模块由内部 12 位 DAC 和可驱动外部负载的模拟输出缓冲器组成。为了驱动比典型负载更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。有关缓冲 DAC 的负载条件，请参阅缓冲 DAC 电气数据和时序部分。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 数值寄存器可以立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 均具有以下特性：

- 12 位分辨率
- 可选择的参考电压源
- 使用内部参考电压 VREFHI 时可选 x1 与 x2 增益模式
- 能够与 EPWMSYNCPER 同步

6.8.5.2 缓冲 DAC 电气数据与时序

6.8.5.2.1 缓冲 DAC 工作条件

超过推荐的操作条件（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
R _L	阻性负载 ⁽²⁾		5			kΩ
C _L	容性负载				100	pF
V _{OUT}	有效输出电压范围 ⁽³⁾	R _L = 5 kΩ	0.3		VDDA - 0.3	V
		R _L = 1 kΩ	0.6		VDDA - 0.6	V
参考电压 ⁽⁴⁾		VDAC 或 VREFHI	2.4	2.5 or 3.0	VDDA	V

(1)除非另有说明，典型值（典型值）是在 VREFHI = 3.3 V 和 VREFLO = 0 V 时测量的。最小值（最小值）和最大值（最大值）是在 VREFHI = 2.5 V 和 VREFLO = 0 V 的条件下进行测试或表征的。

(2)DAC 可以驱动最小 1 kΩ 的电阻负载，但输出范围会受到限制。

(3)这是 DAC 的线性输出范围。DAC 可以生成此范围之外的电压，但由于缓冲器的原因，输出电压将不是线性的。

(4)为了获得最佳 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

6.8.5.2.2 缓冲 DAC 电气特性

超过推荐的操作条件（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
常规特性						
分辨率				12		bits
负载调整率			-1		1	mV/V
毛刺能量				1.5		V-ns
电压输出稳定时间（满量程）		0.3V 到 3V 转换后设置为 2 LSBs			1.5	μs
参考输入电阻 ⁽²⁾		VDAC 或 VREFHI	160	200	240	kΩ
TPU	上电时间	外部参考模式			500	μs
		内部参考模式			5000	μs
直流特性						
Offset	偏移误差	Midpoint	-8		8	mV
Gain	增益误差 ⁽³⁾		-2		2	% of FSR
DNL	差分非线性 ⁽⁴⁾	Endpoint corrected	-1	±0.3	0.8	LSB
INL	积分非线性	Endpoint corrected	-4	±1.5	4	LSB
交流特性						
输出噪声		从 100 Hz 到 100 kHz 综合噪声		400		μVrms

参数		测试条件	最小值	典型值	最大值	单位
		噪声密度为 10 kHz		600		nVrms/ $\sqrt{\text{Hz}}$
SNR	信噪比	1 kHz, 200 KSPS		72.1		dB
THD	总谐波失真	1 kHz, 200 KSPS		-63		dB
SFDR	无杂散动态范围	1 kHz, 200 KSPS		80.7		dB
PSRR	电源抑制比 ⁽⁵⁾	1 kHz		70		dB
		100 kHz		30		dB

(1)除非另有说明, 典型值 (典型值) 是在 $V_{\text{REFHI}} = 3.3 \text{ V}$ 和 $V_{\text{REFLO}} = 0 \text{ V}$ 时测量的。最小值 (最小值) 和最大值 (最大值) 是在 $V_{\text{REFHI}} = 2.5 \text{ V}$ 和 $V_{\text{REFLO}} = 0 \text{ V}$ 的条件下进行测试或表征的。

(2)每个有源缓冲 DAC 模块。

(3)增益误差是针对线性输出范围计算的。

(4)DAC 的输出是单调的。

(5) $V_{\text{REFHI}} = 3.2 \text{ V}$, $V_{\text{DDA}} = 3.3 \text{ V DC} + 100 \text{ mV}$ 正弦

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.9 控制外设

6.9.1 ePWM 增强型脉冲宽度调制器

6.9.1.1 ePWM 功能简介

增强型脉冲宽度调制器 (ePWM) 是发波控制的关键模块, 它支持通过灵活的配置实现复杂的占空比、周期和相位偏移调制下的发波控制行为。

GS ePWM 系列目前包括 GS-Type4、GS-Type5 ePWM 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q), 其 ePWM 类型为 GS-Type4。

GS ePWM 支持特性描述如下表所示:

表 6-16. GS-ePWM 支持特性描述

特性分类	特性描述	GS-Type4 ePWM	GS-Type5 ePWM
基于时间的计数器控制 TB	上升模式计数器控制	Y	Y
	上升-下降模式计数器控制	Y	Y
	下降模式计数器控制	Y	Y
	GS-ePWM 计数器异常后处理增强: 异常快速自恢复	Y	Y
计数器比较 CC	多个比较器的比较和后处理	Y	Y
	GS-ePWM 比较器异常后处理增强: 发波行为软件可控	Y	Y
发波行为控制 AQ	GS-ePWM 发波增强: ePWMxA_AQ 和 ePWMxB_AQ 发波行为相互独立可控	Y	Y
	支持复杂发波控制 XCMP	-	Y
	支持全局加载机制	Y	Y
	参数 LINK 机制	Y	Y
	GS-ePWM 发波增强: 支持控制参数对发波的平滑控制	Y	Y
死区处理 DB	支持多种模式对上升沿、下降沿灵活的死区时间调整	Y	Y
斩波处理 PC	支持斩波处理	Y	Y
封波控制 TZ 和 DC	支持数字比较器产生 Event 事件, 作为封波源	Y	Y
	支持 One-Shot 和 Cycle-By-Cycle 工作模式	Y	Y
	GS-ePWM 数字比较增强: 支持多套复杂逻辑产生的 DC Event 事件作为封波源	Y	Y
	GS-ePWM 封波控制增强: 支持封波解封一致性控制	Y	Y
	GS-ePWM 封波源增强: 支持 CMPSS 比较结果到 ePWM 封波路径控制	Y	Y
GS-ePWM 封波源增强: 支持更多外部封波源 (来源于外部 GPIO)	Y	Y	
高精度发波 HRPWM	支持高精度发波 HRPWM 功能, 详见 HRPWM 章节	Y	Y
事件触发和中断产生 ET	支持产生不同事件中断, 硬连线送给片内外 ADC 和 SDFM 等模块	Y	Y
	支持上报中断到 DSP 处理器	Y	Y
ePWM SYNC 同步机制	支持任意 ePWM 产生 SYNC 源, 作为同步信号送到其他所有 ePWM 和片外	Y	Y
MinDB 和非法组合逻辑控制	最小 Dead-Band 控制	-	Y
	ePWM 复杂发波的组合逻辑处理	-	Y

图 6-26 显示了 ePWM 模块整体框图。

GS ePWM 支持“增强预处理”功能, 它支持在不同的拓扑电路下, 根据其电路工作原理, 将原始的控制参数转为 ePWM 发波所需的配置参数, 从而最大程度减小处理器的开销。增强预处理模块支持旁路。

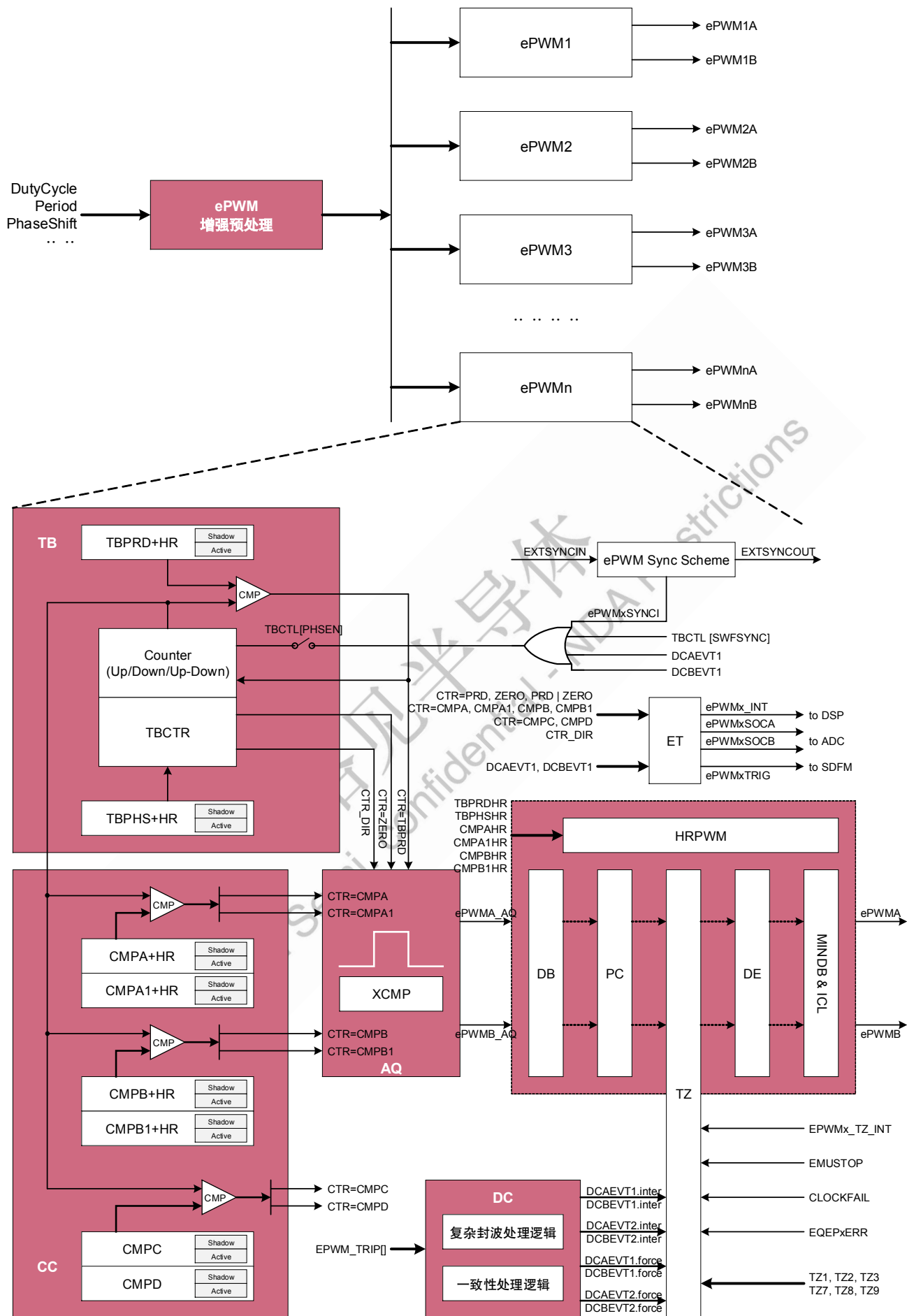


图 6-26. ePWM 子模块和关键内部信号互连

6.9.2 高分辨率脉宽调制器 (HRPWM)

HRPWM 模块提供的高精度分辨率，明显优于使用传统数字 PWM 方法所能达到的分辨率。因此，HRPWM 大大扩展了传统 PWM 的时间分辨率能力，可用于单边沿控制（占空比和相位偏移调制）和双边沿控制（频率/周期调制）。

GS-HRPWM 支持两种类型：GS-HRPWM-A 和 GS-HRPWM-D。对于 GS32F0039 全系列（GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q），其 HRPWM 类型为 GS-HRPWM-A。

GS HRPWM 支持特性描述如下表所示：

表 6-17. GS-HRPWM 支持特性描述

特性分类	特性描述	GS-HRPWM-A	GS-HRPWM-D
HRPWM 发波精度	支持 100ps 或 150ps 的 HRPWM 发波精度	Y	Y
HRPWM 发波输出	每组 ePWM 的 EPWMxA、EPWMxB 均支持 HRPWM 控制	Y	Y
HRPWM 发波控制方式	支持上升模式的 HRPWM 控制	Y	Y
	支持上升-下降模式的 HRPWM 控制	Y	Y
HRPWM 发波应用场景	支持占空比调制方式下的 HRPWM 发波控制	Y	Y
	支持周期/频率调制方式下的 HRPWM 发波控制	Y	Y
HRPWM 校准方式	延时单元硬件自调节机制，HRPWM 发波精度几乎不随 PVT 变化	Y	-
	专用校准链控制，硬件计算单元延时 (HRPWM 发波精度)	-	Y
	根据校准链计算结果，自动进行 HRPWM 发波补偿控制	-	Y

6.9.3 增强型捕获 (eCAP)

eCAP 模块可以用于需要精确计时外部事件的系统。

eCAP 的应用包括:

- 旋转机械速度测量 (例如, 通过霍尔传感器感应的齿轮链轮)
- 位置传感器脉冲之间的时间测量
- 脉冲列信号的周期和占空比测量
- 解码由占空比编码的电流/电压传感器导出的电流或电压幅度

GS eCAP 系列目前包括 GS-Type2 eCAP、GS-Type3 eCAP 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q), 其 eCAP 类型为 GS-Type2。

GS eCAP 支持特性描述如下表所示:

表 6-18. GS-eCAP 支持特性描述

特性分类	特性描述	GS-Type2 eCAP	GS-Type3 eCAP
工作模式	支持捕获 (Capture) 模式	Y	Y
	支持辅助 PWM 发波 (APWM) 模式	Y	Y
输入输出映射	eCAP 输入通过 Input X-BAR 连接到任意 GPIO 输入	Y	Y
	APWM 通过 Output X-BAR 连接到 GPIO 输出	Y	Y
DMA 触发源	eCAP 可以作为 DMA 触发源, 触发 DMA 搬运操作	Y	Y
SYNC 同步	eCAP 可选择外部 SYNC 输入源, 作为 SYNC 同步信号	Y	Y
捕获 Capture 功能	4 个事件时间戳寄存器, 每个 32bit	Y	Y
	最多 4 个顺序时间戳捕获事件的边缘极性选择	Y	Y
	单次捕获最多 4 个事件的时间戳	Y	Y
	绝对模式时间戳捕获	Y	Y
辅助 PWM 发波功能	绝对模式时间戳捕获	Y	Y
	差值模式时间戳捕获	Y	Y
辅助 PWM 发波功能	TBPRD 的 Shadow-Active 同步生效机制, 可旁路	Y	Y
	CMP 的 Shadow-Active 同步生效机制, 可旁路	Y	Y
中断与事件	支持软件写 1 清除事件过滤器、模块计数器和未决中断标志	Y	Y
	支持 4 个事件中的任意事件产生中断上报	Y	Y
信号监测单元	测量脉冲宽度并检查它是否在预期范围内	-	Y
	测量周期并检查它是否在预期范围内	-	Y
	监控信号边缘并检查它是否发生在用户编程的时间窗口中	-	Y

6.9.3.2 eCAP 功能框图

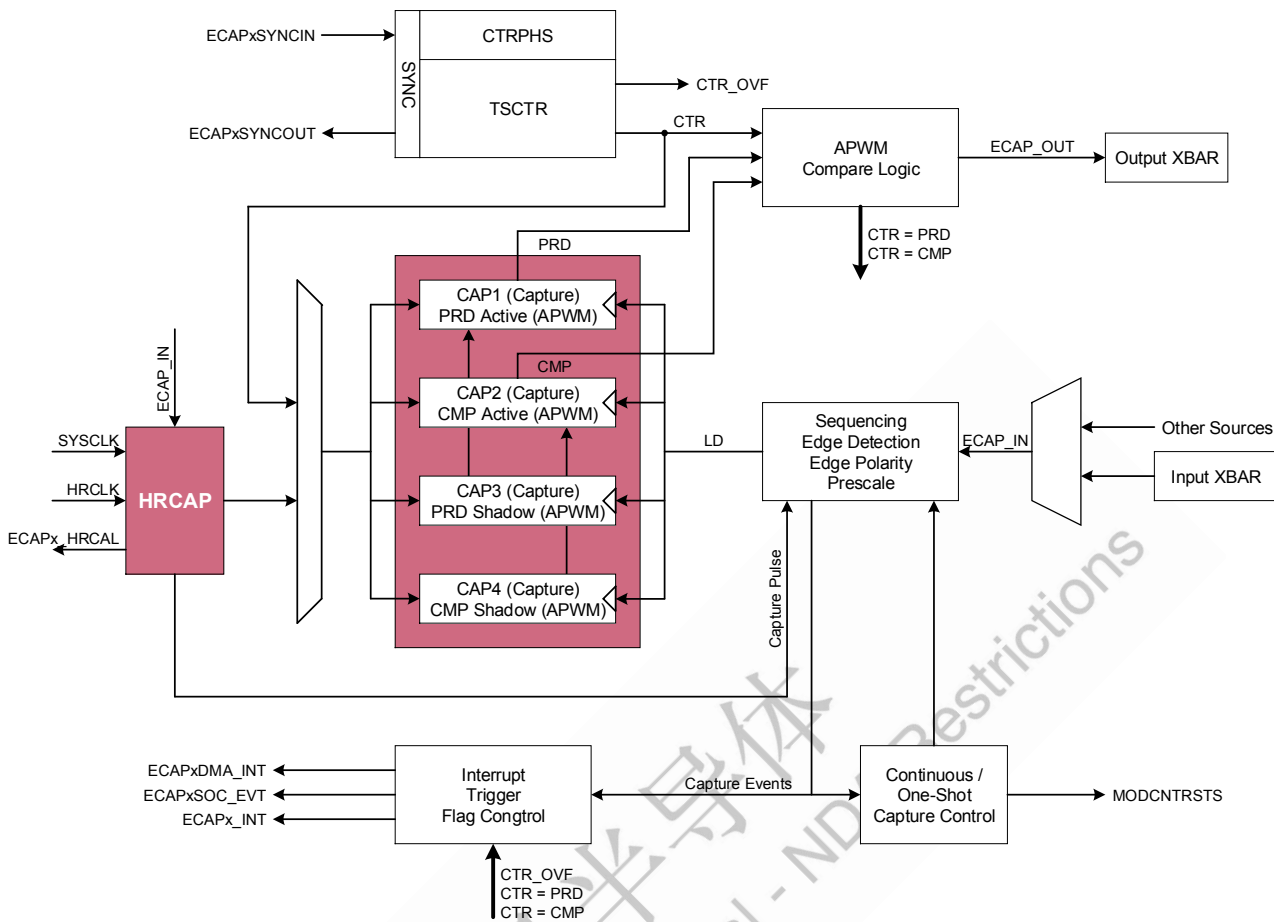


图 6-27. eCAP 功能框图

HRCAP 子模块并非在所有 eCAP 模块上都可用；没有 HRCAP 时，不会使用高分辨率多路复用器和硬件。

6.9.3.3 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 ePWM、eCAP 或 X-Bar。

6.9.4 增强正交编码器脉冲模块 (eQEP)

6.9.4.1 eQEP 功能简介

增强正交编码器脉冲模块 (eQEP) 直接与线性或旋转增量编码器连接, 以从高性能运动和位置控制系统中使用的旋转机器获取位置、方向和速度信息。模块又称为 QEI (Quadrature Encoder Interface), 支持 AB 模式、CW/CCW 模式、CLK/DIR 模式的输入信号解析功能。

eQEP 外设包含以下主要功能单元:

- 正交解码器单元 (QDU)
- 位置计数器和位置测量控制单元 (PCCU)
- 用于低速测量的正交边沿捕获单元 (QCAP)
- 速度/频率测量的单位时基 (UTIME)
- 用于检测停顿的看门狗定时器 (QWDOG)
- 正交模式适配器 (QMA)

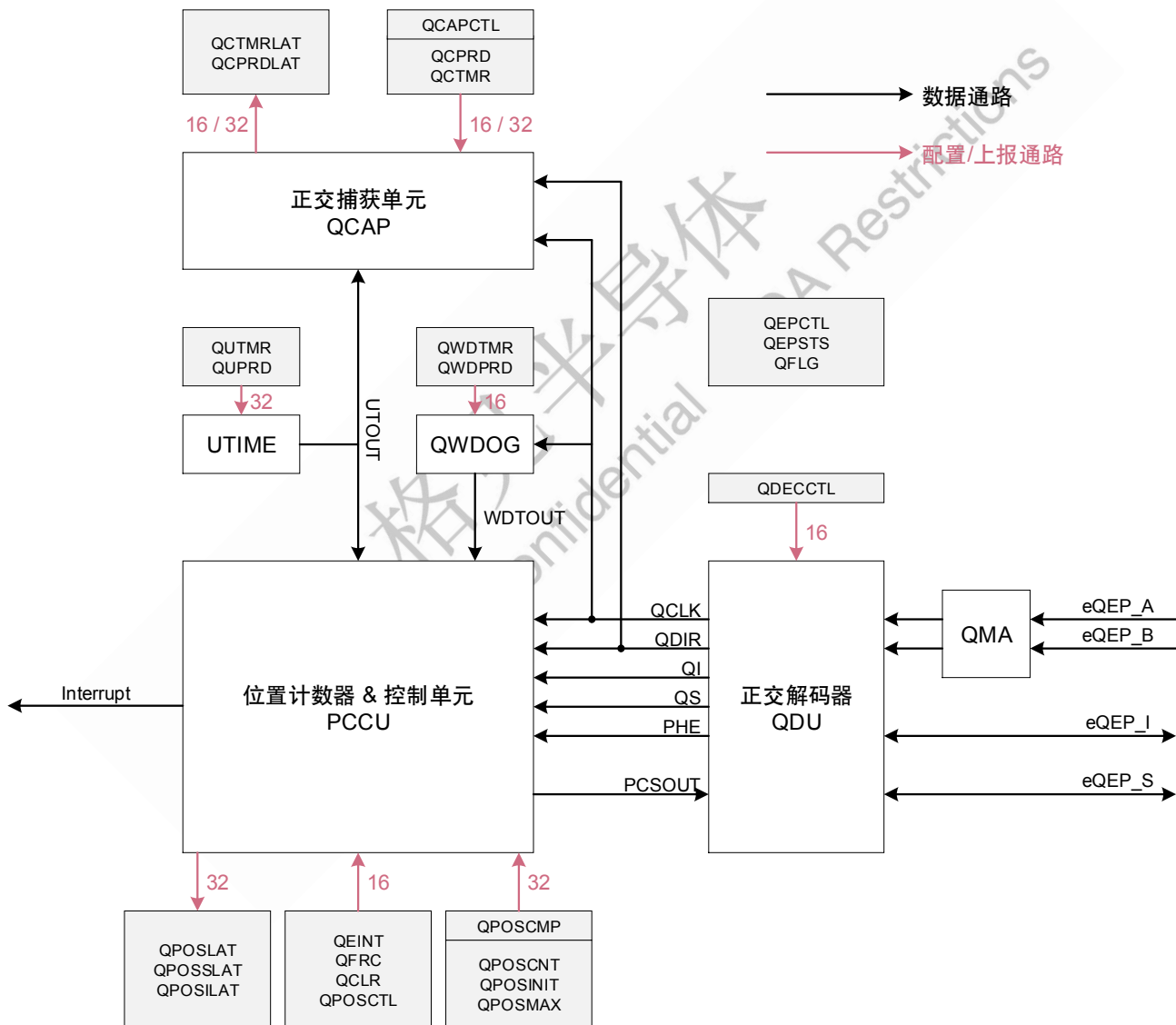


图 6-28. eQEP 框图

6.9.5 增强可编程逻辑块 (eCLB)

增强可编程逻辑块 (eCLB) 可以使用软件实现自定义的数字逻辑功能或增强现有的芯片外设。eCLB 通过 CROSS-BAR 与其他外设进行互联, 包括增强脉冲宽度调制器 (ePWM)、增强捕获模块 (eCAP)、串行通信模块 (SPI)、增强正交编码器脉冲模块 (eQEP)、模拟比较器 (CMPSS) 等; 此外, CROSS-BAR 还允许 eCLB 与外部 GPIO 引脚进行互联。

GS eCLB 系列目前包括 GS-Type1、GS-Type2 eCLB 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q), 其 eCLB 类型为 GS-Type1。

GS eCLB 支持特性描述如下表所示:

表 6-19. GS-eCLB 支持特性描述

特性分类	特性描述	GS-Type1 eCLB	GS-Type2 eCLB
CROSS-BAR	来源于片外或其他外设的输入信号通过 eCLB Input-XBAR 送给 eCLB 模块	Y	Y
	eCLB 通过 eCLB Output-XBAR, 经过 GPIO 多路复用选择器送到片外输出	Y	Y
	eCLB 支持信号从输出环回到输入	Y	Y
	eCLB 支持与 SPI、ePWM、CMPSS、eQEP 等模块硬连交互	Y	Y
eCLB-CORE 可编程逻辑块	内置多个 Tile, 支持灵活可编程处理	Y	Y
	每个 Tile 内置 3 个计数器 Counter、3 个状态机 FSM、3 个 4 输入查找表 LUT4 等单元, 单元间彼此互联	Y	Y
	每个 Tile 内置 8 套输入处理单元, 支持对信号完成同步、滤波、延迟、软件强配等处理	Y	Y
	每个 Tile 内置 8 套输出处理单元, 支持对信号完成 LUT3 组合逻辑处理、取反、与/或/异或、置位/清除/打拍等处理	Y	Y
	每个 Tile 内置 1 套 GS-Type1 HLC (High-Level-Controller) 逻辑, 支持软件通过硬件事件触发和寄存器配置与内部逻辑交互	Y	-
	每个 Tile 内置 1 套 GS-Type2 HLC 逻辑, 支持软件通过下发指令等方式完成于内部逻辑交互	-	Y
	通过灵活可编程完成复杂信号发波/封波控制, 如死区+最小脉宽控制、灵活延时封波控制、与 ePWM/HRPWM 互补发波控制、CMPSS 输入信号死区控制等	Y	Y
	通过灵活可编程完成与绝对值编码器的接口协议交互, 支持协议包括但不限于 T-format、A-format、BISS-C、ENDAT 等	Y	Y
	通过灵活可编程完成脉冲串输出控制处理, 支持功能包括但不限于 PulseGen、QepDiv、Abs2Qep 等	Y	Y
ENC IP	支持多套绝对值编码器串行接口硬化 IP 处理模块	-	Y
	支持多摩川 T-format 协议接口处理	-	Y
	支持尼康 A-format 协议接口处理	-	Y
	支持 BISS-C/SSI 协议接口处理	-	Y
	支持 ENDAT 协议接口处理, 包括 ENDAT2.1 和 2.2	-	Y
PTO IP	支持多套脉冲串输出控制硬化 IP 处理模块	-	Y
	支持进行灵活可配的任何分频脉冲输出控制	-	Y
	支持绝对值编码到脉冲串输出控制	-	Y

CLB 模块及其互连情况如下图所示。

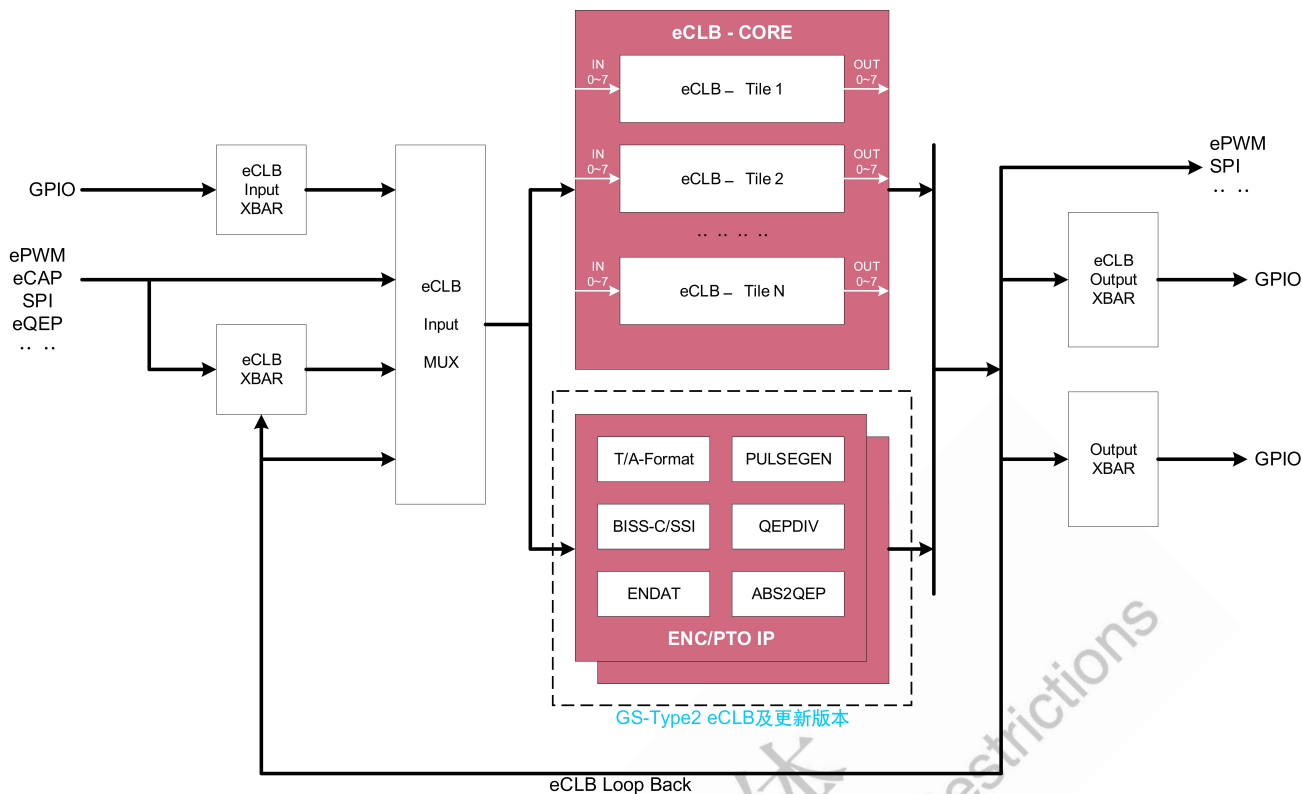


图 6-29. 外部信号到 eCLB 的连接

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.9.6 Σ - Δ 滤波器模块(SDFM)

6.9.6.1 SDFM 特性简介

GS SDFM 系列目前包括 GS-Type1、GS-Type2 SDFM 等类型。对于 GS32F0039 全系列 (GS32F0039、GS32F0039H、GS32F0039P、GS32F0039-Q、GS32F0039H-Q)，其 SDFM 类型为 GS-Type1。

GS SDFM 支持特性描述如下表所示：

特性分类	特性描述	GS-Type1 SDFM	GS-Type2 SDFM
输入信号	每个 SDFM 模块的每个滤波器通道有外部数据输入引脚	Y	Y
	每个 SDFM 模块的每个滤波器通道有外部时钟输入引脚	Y	Y
	每个外部输入引脚（包括数据和时钟）均可配置输入检测	Y	Y
	可使用 1 个滤波器通道时钟 (SD-C1) 为同一个 SDFM 模块其他滤波器通道提供时钟	Y	Y
调制器时钟模式	支持模式 0：调制器时钟速率等于调制器数据速率	Y	Y
	支持模式 1：调制器时钟速率是调制器数据速率的一半	Y	Y
	支持模式 2：调制器数据采用曼彻斯特编码，不需要调制器时钟	Y	Y
	支持模式 3：调制器时钟速率是调制器数据速率的两倍	Y	Y
	PWM 可用于为 SDFM 调制器生成调制器时钟	Y	Y
次级滤波器（比较器）	提供多种不同的滤波器类型：SINC1/SINC2/SINCFast/SINC3	Y	Y
	能够检测超值条件、欠值条件和阈值交叉条件： <ul style="list-style-type: none"> ■ 两个独立的上限阈值比较器 ■ 两个独立的下限阈值比较器 ■ 一个独立的超限比较器 	Y	Y
	比较器滤波单元 COSR 的过采样值(OSR)支持 1~32 可配置	Y	Y
	在比较器滤波时间上提供可配置的数字滤波器，用于消除由杂散噪声引起的比较器事件	Y	Y
主滤波器	提供多种不同的滤波器类型：SINC1/SINC2/SINCFast/SINC3	Y	Y
	数据滤波单元 DOSR 的过采样值(OSR)支持 1~256 可配置	Y	Y
	可启用或禁用单个滤波器模块	Y	Y
	通过主滤波器使能或 PWM 信号同步 SDFM 模块的各个独立滤波器	Y	Y
	数据滤波器输出支持 16 位或 32 位	Y	Y
	有可编程 FIFO 以减小中断开销，其中可编程 FIFO 有以下功能： <ul style="list-style-type: none"> ■ 深度 16*32 位的 FIFO ■ FIFO 可在可编程的数据就绪事件后中断 CPU ■ FIFO 等待同步功能，即 FIFO 可忽略数据就绪事件，直到收到 PWM 同步信号。一旦收到 PWM 同步信号，FIFO 会在每个数据就绪事件中进行数据填充。 	Y	Y
SYNC 同步	可根据每个数据滤波器通道，将 PWMx.SOCA/SOCB 配置为 SYNC 源	Y	Y
并行采样处理	支持多通道并行采样处理单元	-	Y
	支持对输入时钟进行更灵活的选择以支持并行采样功能	-	Y
	支持对输入数据进行更灵活的选择以支持并行采样功能	-	Y
	支持对输入触发信号进行处理，产生并行采样所需的功能	-	Y

下图展示了 SDFM 模块的结构框图。对于 GS-Type1 SDFM，并行采样控制（Parallel Sampling Ctrl）模块旁路；对于 GS-Type2 SDFM，并行采样控制模块支持使能或者旁路。

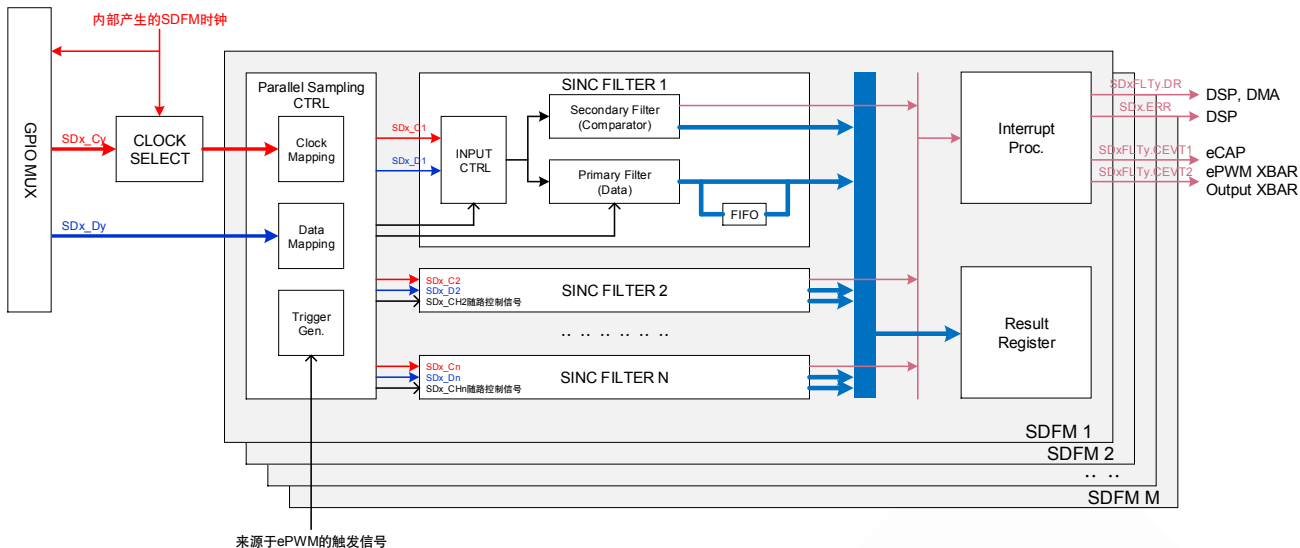


图 6-30. SDFM 结构框图

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.10 通信外设

6.10.1 SCI

SCI (Serial Communications Interface) 是一种串行异步收发协议，该模块同时兼容通用异步收发传输器 (Universal Asynchronous Receiver/Transmitter, UART)。

SCI/UART 接收器和发送器各自采用深度为 16 级的 FIFO，以减少 cpu 的开销，并且各自具有独立的使能和中断控制。支持全双工通信和半双工通信。为了保证通信数据的正确性，SCI/UART 提供了状态中断检测，奇偶校验，溢出错误，和数据帧校验机制。

SCI/UART 模块的特点包括：

- 支持两个通信引脚：
 - TXD: SCI/UART 发送数据到外设，与外设的 RXD 相连接
 - RXD: SCI/UART 从外设接收数据，与外设的 TXD 相连接
 - 支持不同数据格式：
 - 1 个起始位
 - 可选奇偶校验位
 - 可编程数据字长度 5 – 9 位
 - 1 个、1.5 个或 2 个停止位
 - 支持小数分频，最大频率支持 Serial Clock Operating Frequency / 16
 - 支持波特率可配
 - 支持对外部 DMA 发起请求搬运
 - 支持环回模式
 - 支持 FIFO 深度为 16，位宽为 8
 - 支持中断独立可屏蔽
 - 支持发送器和接收器可以通过轮询算法或中断驱动的方式，来决定自己的收发进程。
 - 支持错误检测：
 - 奇偶校验错误检测
 - 帧错误检测
 - 行中断检测
- 支持 DMA 模式

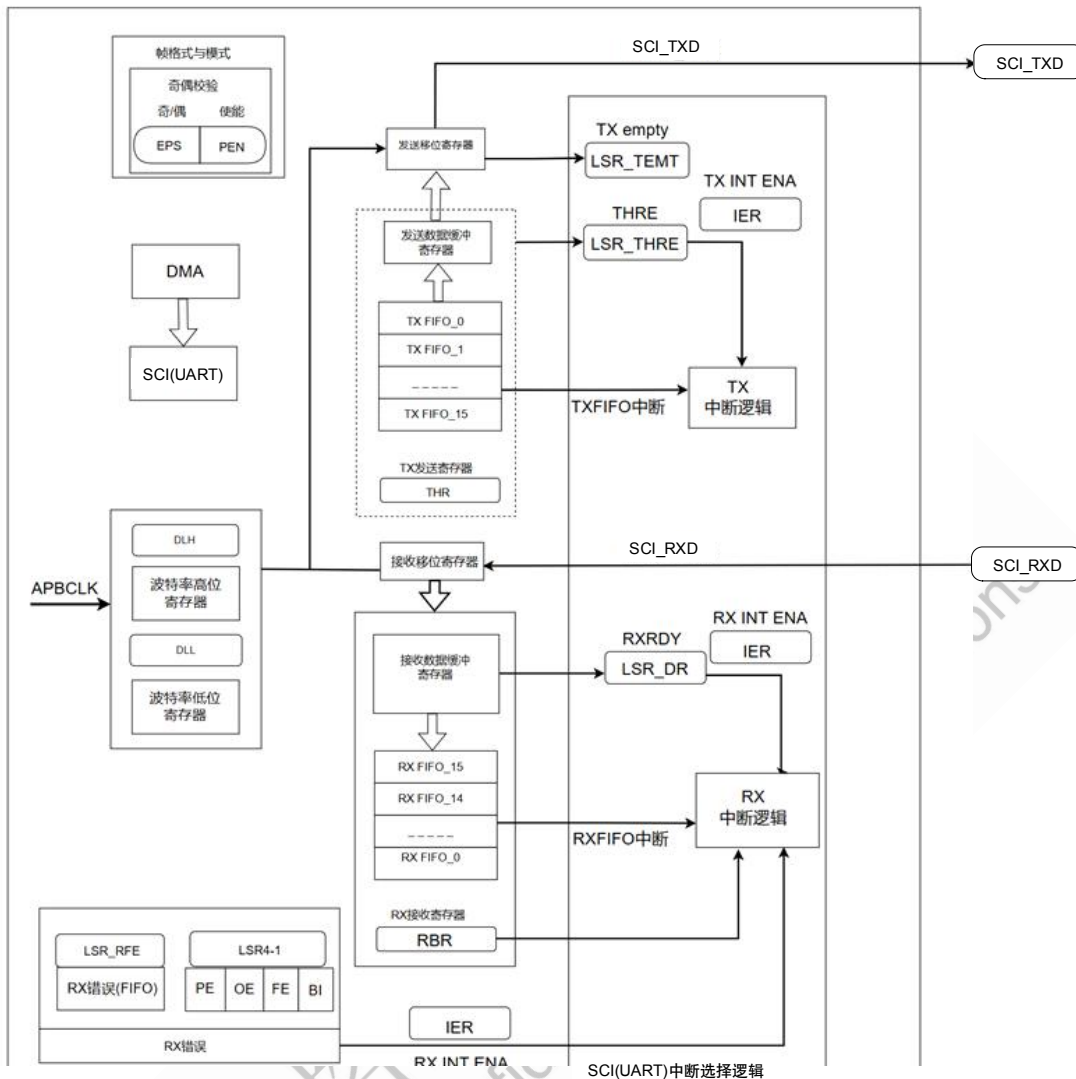


图 6-31. SCI/UART 方框图

6.10.2 内部集成电路 (I2C)

6.10.2.1 主要特性

I2C 模块具有以下特点:

- 两线制 I2C 串行接口 – 包括串行数据线 (SDA) 和串行时钟线 (SCL)
- 符合 NXP-I2C 总线规范:
- 两种速度:
 - 标准模式 (0 到 100 Kb/s)
 - 快速模式 (≤ 400 Kb/s)
- 时钟同步
- 主机或从机 I2C 操作
- 7 位或 10 位寻址
- 7 位或 10 位组合格式传输
- 支持 8 位、16 位和 32 位的 APB 数据总线宽度
- 支持广播通信
- 支持起始字节模式
- 支持多主机发送和多从机接收
- 支持多从机发送和多主机接收
- 支持发送/接收和接收/发送模式
- 发送和接收缓冲区
- 中断或轮询模式操作
- 在所有总线速度下处理位和字节等待
- 可编程的 SDA 保持时间
- 支持 SMBus/PMBus
- 接收 FIFO 和发送 FIFO(16 个深度 x 8 位宽度 FIFO)
- I2Cx 中断 – 可以配置以下任何条件生成 I2Cx 中断:
 - 发送就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无应答
 - 竞争丢失
 - 检测到停止条件
 - 从机地址匹配
- I2Cx_FIFO 中断:
 - 发送 FIFO 中断
 - 接收 FIFO 中断
- 模块启用/禁用功能
- 自由数据格式模式

6.10.2.2 I2C 电气特性与时序

I2C 电气特性和时序:

编号	参数		最小值	最大值	单位
标准模式					
T1	$t_{h(SDA-SCL)START}$	起始条件保持时间, SDA 下降后 SCL 下降延迟	4	-	us
T2	$t_{su(SCL-SDA)START}$	起始条件重新建立时间, SDA 下降前的 SCL 上升延迟	4.7	-	us
T3	$t_{h(SCL-DAT)}$	数据在 SCL 下降后的保持时间	0	-	us
T4	$t_{su(DAT-SCL)}$	数据在 SCL 上升前的建立时间	250	-	ns
T5	$t_{r(SDA)}$	SDA 上升沿时间	-	1000	ns
T6	$t_{r(SCL)}$	SCL 上升沿时间	-	1000	ns
T7	$t_{f(SDA)}$	SDA 下降沿时间	-	300	ns
T8	$t_{f(SCL)}$	SCL 下降沿时间	-	300	ns
T9	$t_{su(SCL-SDA)STOP}$	停止条件建立时间, SDA 上升前的 SCL 上升延迟	4	-	us
T10	$t_w(SP)$	滤波器抑制的脉冲持续时间	0	50	ns
T11	C_b	每条总线线上的电容负载	-	400	pF
快速模式					
T1	$t_{h(SDA-SCL)START}$	起始条件保持时间, SDA 下降后 SCL 下降延迟	0.6	-	us
T2	$t_{su(SCL-SDA)START}$	起始条件重新建立时间, SDA 下降前的 SCL 上升延迟	0.6	-	us
T3	$t_{h(SCL-DAT)}$	数据在 SCL 下降后的保持时间	0	-	us
T4	$t_{su(DAT-SCL)}$	数据在 SCL 上升前的建立时间	250	-	ns
T5	$t_{r(SDA)}$	SDA 上升沿时间	20	300	ns
T6	$t_{r(SCL)}$	SCL 上升沿时间	20	300	ns
T7	$t_{f(SDA)}$	SDA 下降沿时间	12	300	ns
T8	$t_{f(SCL)}$	SCL 下降沿时间	12	300	ns
T9	$t_{su(SCL-SDA)STOP}$	停止条件建立时间, SDA 上升前的 SCL 上升延迟	0.6	-	us
T10	$t_w(SP)$	滤波器抑制的脉冲持续时间	0	50	ns
T11	C_b	每条总线线上的电容负载	-	400	pF

I2C 开关特性:

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10	-	us
S3	$t_w(SCLL)$	SCL 时钟低电平脉冲持续时间		4.7	-	us
S4	$t_w(SCLH)$	SCL 时钟高电平脉冲持续时间		4	-	us
S5	t_{BUF}	STOP 和 START 条件之间的总线空闲时间		4.7	-	us
S6	$t_v(SCL-DAT)$	数据在 SCL 下降后的有效时间		-	3.45	us
S7	$t_v(SCL-ACK)$	确认信号在 SCL 下降后的有效时间		-	3.45	us
S8	I_i	引脚的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10	uA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5	-	us

编号	参数		测试条件	最小值	最大值	单位
S3	$t_{w(SCLL)}$	SCL 时钟低电平脉冲持续时间		1.3	-	us
S4	$t_{w(SCLH)}$	SCL 时钟高电平脉冲持续时间		0.6	-	us
S5	t_{BUF}	STOP 和 START 条件之间的总线空闲时间		1.3	-	us
S6	$t_{V(SCL-DAT)}$	数据在 SCL 下降后的有效时间		-	0.9	us
S7	$t_{V(SCL-ACK)}$	确认信号在 SCL 下降后的有效时间		-	0.9	us
S8	I_i	引脚的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10	uA

I2C 的时序图如下:

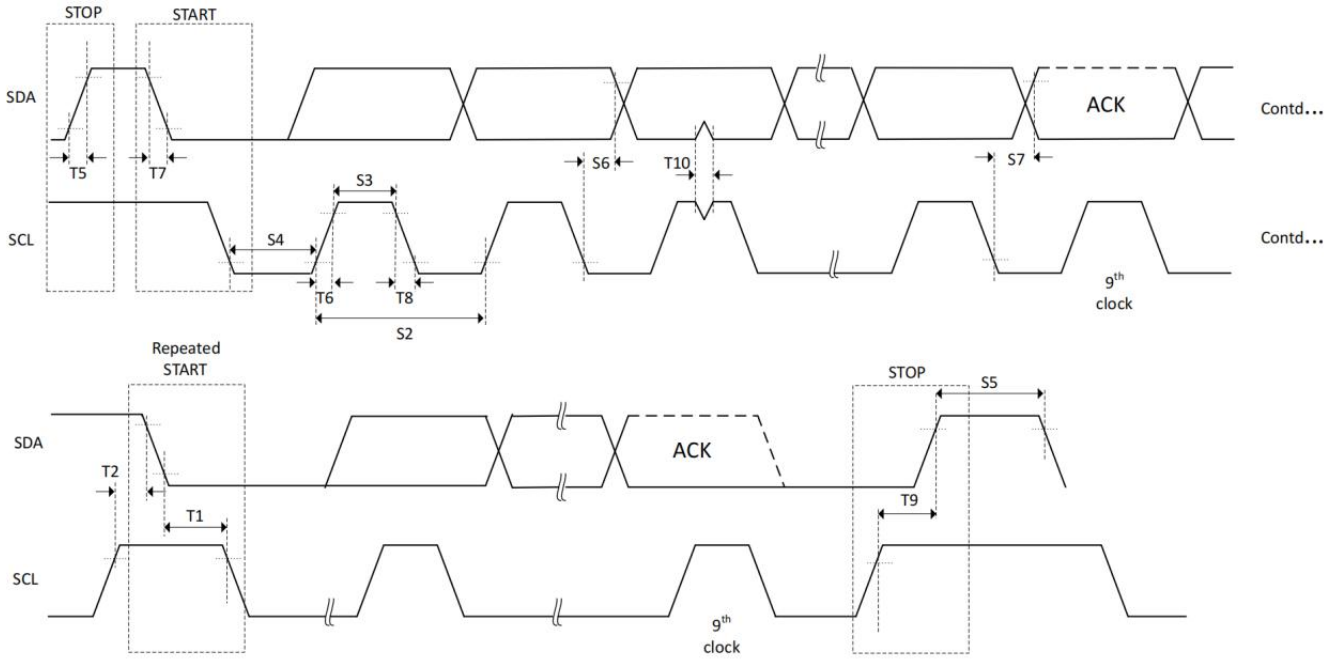


图 6-32. I2C 信号时序

6.10.3 SPI

串行外围接口 (Serial Peripheral Interface) 是一种高速同步串行输入输出 (I/O) 端口, 允许以编程的位传输速率将编程长度 (4 到 32 位) 的串行位流移入和移出设备。SPI 通常用于 MCU 控制器与外部外围设备或另一个控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动器和模数转换器 (ADC) 等设备进行外部 I/O 或外围扩展。SPI 支持主模式或从模式以进行多设备通信。该端口支持 16 级接收和传输 FIFO, 以减少 CPU 的服务开销。

- SPI 模块的特点包括:

- SOMI: SPI 从机输出/主机输入引脚。
- SIMO: SPI 从机输入/主机输出引脚。
- STE: SPI 从机传输使能引脚。
- CLK: SPI 串行时钟引脚。

- 两种工作模式: 主机模式和从机模式。

- 波特率: 分频系数可配置 2 至 65534 之间的偶数, 共 32767 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速率。

- 数据字长: 4 至 32 数据位。

- 可配置功能:

- FIFO 深度 - FIFO 深度为 16, 宽度为 32 位。
- 硬件/软件从机选择 - 可使用专用的硬件从机选择线路或使用软件控制来定位串行从机设备。
- 串行时钟极性 - 此配置选项选择 SPI 格式在复位后的串行时钟极性。
- 串行时钟相位 - 此配置选项选择 SPI 格式在复位后的串行时钟相位。

- 四种时钟方案 (由时钟极性和时钟相位位控制) 包括:

- 下降沿无相位延迟: SPICLK 高有效。SPI 在 SPICLK 信号的下降沿传输数据, 并在 SPICLK 信号的上升沿接收数据。
- 下降沿有相位延迟: SPICLK 高有效。SPI 在 SPICLK 信号的下降沿的前半个周期传输数据, 并在 SPICLK 信号的下降沿接收数据。
- 上升沿无相位延迟: SPICLK 低有效。SPI 在 SPICLK 信号的上升沿传输数据, 并在 SPICLK 信号的下降沿接收数据。
- 上升沿有相位延迟: SPICLK 低有效。SPI 在 SPICLK 信号的上升沿的前半个周期传输数据, 并在 SPICLK 信号的上升沿接收数据。

- 支持 DMA 模式

- 支持延迟传输控制

- 传输模式:

- 发送与接收模式
- 仅发送模式
- 仅接收模式
- EEPROM 读取模式

6.10.3.1 SPI 主机模式时序:

6.10.3.1.1 SPI 主机模式时序要求

编号	参数		最小值	最大值	单位
高速模式					
8	$t_{su}(SOMI)_M$	建立时间, 在 CLK 之前的 SOMI 有效时间	1		ns
9	$t_h(SOMI)_M$	保持时间, 在 CLK 之后的 SOMI 有效时间	6.5		ns
正常模式					
8	$t_{su}(SOMI)_M$	建立时间, 在 CLK 之前的 SOMI 有效时间	15		ns
9	$t_h(SOMI)_M$	保持时间, 在 CLK 之后的 SOMI 有效时间	0		ns

6.10.3.1.2 SPI 主机模式切换特性-时钟相位 0

编号	参数		最小值	最大值	单位
1	$t_{c(spc)M}$	SPICLK 的周期时间	33.33	$65534t_{c(APBCLK)}$	ns
2	$t_w(SPC1)_M$	SPICLK 的脉冲持续时间, 第一个脉冲	$0.5t_{c(spc)M} - 1$	$0.5t_{c(spc)M} + 1$	ns
3	$t_w(SPC2)_M$	SPICLK 的脉冲持续时间, 第二个脉冲	$0.5t_{c(spc)M} - 1$	$0.5t_{c(spc)M} + 1$	ns
23	$t_d(SPC)_M$	SPISTE 激活到 SPICLK 的延迟时间	$1.5t_{c(spc)M} - 2$	$1.5t_{c(spc)M} + 2$	ns
24	$t_v(STE)_M$	SPICLK 到 SPISTE 非活动状态的有效时间	$1t_{c(spc)M} - 2$	$1t_{c(spc)M} + 2$	ns
4	$t_d(SIMO)_M$	SPICLK 到 SPISIMO 有效的延迟时间	$0.5t_{c(spc)M} - 1$		ns
5	$t_v(SIMO)_M$	SPICLK 后 SPISIMO 有效的有效时间	$0.5t_{c(spc)M} - 3$		ns

6.10.3.1.3 SPI 主机模式切换特性-时钟相位 1

编号	参数		最小值	最大值	单位
1	$t_{c(spc)M}$	SPICLK 的周期时间	$33.33^{(1)}$	$65534t_{c(LSPCLK)}$	ns
2	$t_w(SPC1)_M$	SPICLK 的脉冲持续时间, 第一个脉冲	$0.5t_{c(spc)M} - 1$	$0.5t_{c(spc)M} + 1$	ns
3	$t_w(SPC2)_M$	SPICLK 的脉冲持续时间, 第二个脉冲	$0.5t_{c(spc)M} - 1$	$0.5t_{c(spc)M} + 1$	ns
23	$t_d(SPC)_M$	SPISTE 有效到 SPICLK 的延迟时间	$1t_{c(spc)M} - 2$	$1t_{c(spc)M} - 2$	ns
24	$t_d(STE)_M$	SPICLK 到 SPISTE 无效的延迟时间	$1t_{c(spc)M} - 2$	$1t_{c(spc)M} - 2$	ns
4	$t_d(SIMO)_M$	SPICLK 到 SPISIMO 有效的延迟时间		2	ns
5	$t_v(SIMO)_M$	SPICLK 后 SPISIMO 有效的有效时间	$0.5t_{c(spc)M} - 2$		ns

6.10.3.1.4 SPI 主机模式时序图如下:

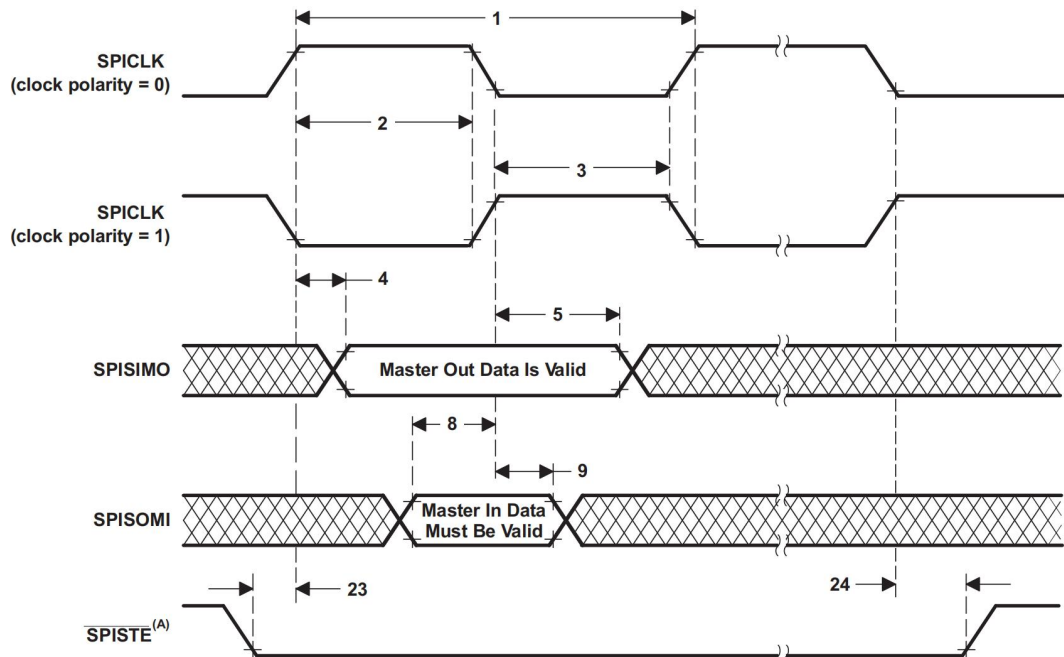


图 6-33. SPI 主机模式外部时序 (时钟相位 = 0)

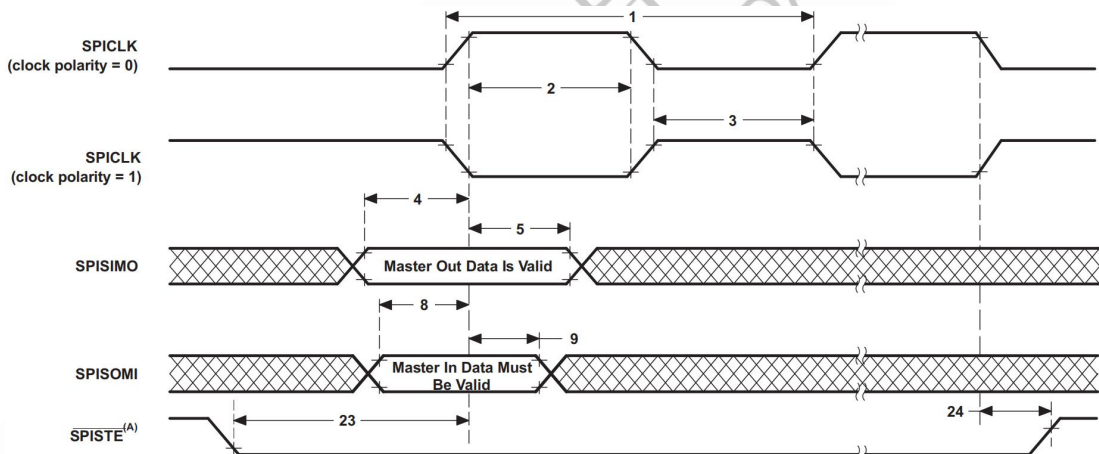


图 6-34. SPI 主机模式外部时序 (时钟相位 = 1)

6.10.3.2 SPI 从机模式时序:

编号	参数		最小值	最大值	单位
12	$t_{c(SPC)S}$	SPICLK 的周期时间	$12t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	SPICLK 的脉冲持续时间, 第一个脉冲	$6t_{c(SYSCLK)}-1$		ns
14	$t_{w(SPC2)S}$	SPICLK 的脉冲持续时间, 第二个脉冲	$6t_{c(SYSCLK)}-1$		ns
19	$t_{su(SIMO)S}$	SPISIMO 在 SPICLK 之前的设置时间	$4.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	SPISIMO 在 SPICLK 之后的保持时间	$4.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPISTE 在 SPICLK 之前的建立时间 (时钟相位为 0)	$6t_{c(SYSCLK)}+15$		ns
		SPISTE 在 SPICLK 之前的建立时间 (时钟相位为 1)	$6t_{c(SYSCLK)}+15$		
26	$t_{h(STE)S}$	SPISTE 在 SPICLK 之后无效的保持时间	$4.5t_{c(SYSCLK)}$		ns

6.10.3.2.1 SPI 从机模式切换特性

编号	参数		最小值	最大值	单位
15	$t_{d(SOMI)S}$	SPICLK 到 SPISOMI 有效的延迟时间		12	ns
16	$t_{v(SOMI)S}$	SPICLK 之后 SPISOMI 有效的有效时间	0		ns

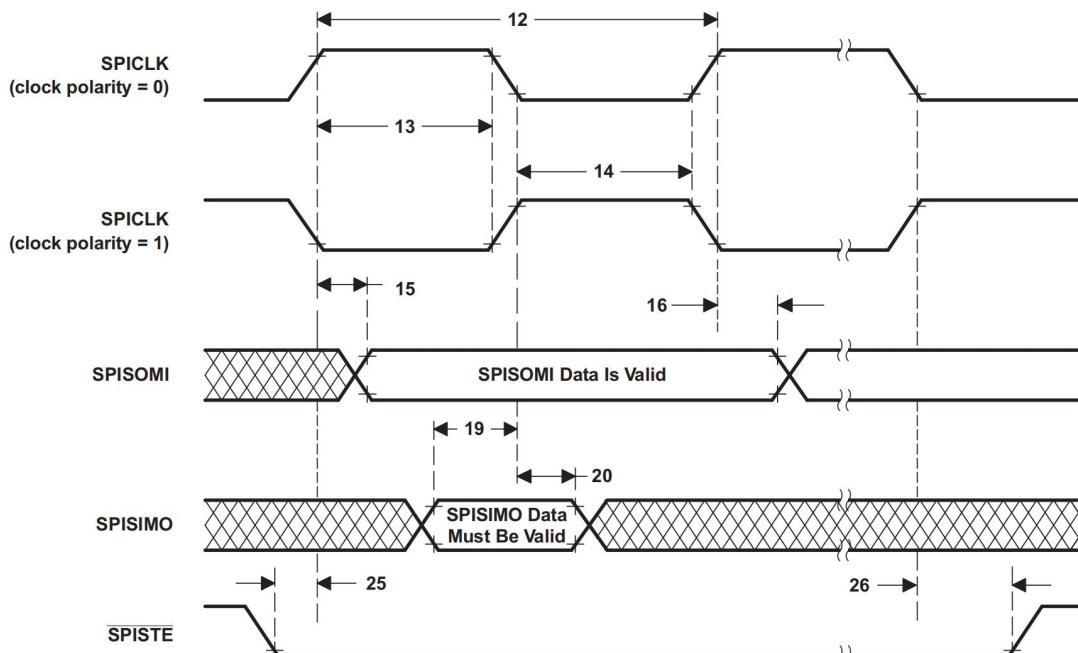


图 6-35. SPI 从机模式外部时序 (时钟相位 = 0)

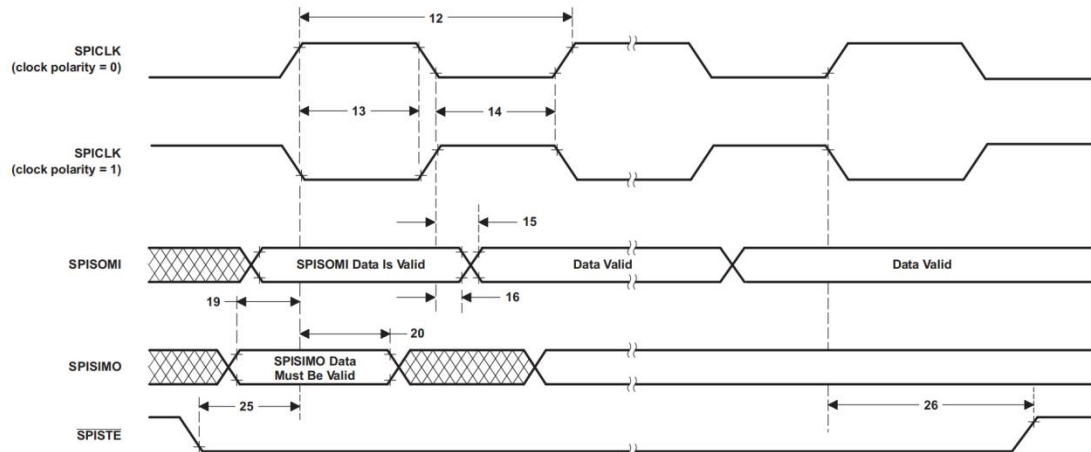


图 6-36. SPI 从机模式外部时序 (时钟相位 = 1)

6.10.4 电源管理总线 (PMBUS) 接口

6.10.4.1 PMBUS 简介

PMBus 模块为微控制器和符合 SMI 论坛 PMBus 规范第一部分 1.0 版和第二部分 1.1 版的设备之间提供了一个接口。PMBus 以 SMBus 为基础，使用与 I2C 类似的物理层。PMBus 模块处理 PMBus 协议的底层，除了控制信号电平和时序、解析地址和缓冲数据外，PMBus 模块还直接支持读取字和处理调用等复杂事务。

特性请参考 I2C 章节(I2C 支持兼容 SMBus/PMBus)

格见半导体
Gejian Semi. confidential - NDA Restrictions

6.10.5 CAN(FD)

CAN 通信以帧为单位进行组包。存在两种类型的帧：标准帧和扩展帧。对于 CAN 2.0，最大的数据有效负载为 8 字节，而对于 CAN FD，可以通过一个帧传输高达 64 字节的数据。

在 CAN 中，所有节点在总线访问方面是平等的。没有超级节点，因为 CAN 是一种多主机总线。

数据寻址使用消息标识符进行。在 CAN 网络中，只有一个节点可以使用特定的标识符发送消息。所有节点都接收所有消息，节点主机控制器必须判断是否被适当的消息标识符寻址。为了减轻主机控制器的负荷，CAN 核心可以使用接受过滤器。这些过滤器将所有接收到的消息标识符与用户可选择的位模式进行比较。只有通过接受过滤器的消息才会被存储在接收缓冲区中，并向主机控制器发出信号。

CAN 帧的标识符也用于总线仲裁。当另一个 CAN 节点传输具有较高优先级标识符的消息时，具有较低优先级标识符的消息的 CAN 协议机会停止传输。CAN 协议机会自动尝试在下一个可能的传输位置重新传输被停止的消息。

CAN 2.0B 定义了高达 1Mbit/s 的数据位率。对于 CAN FD，没有固定的限制。对于 CAN FD，标准定义了位率切换。如果启用，帧的有效负载可以以更高的速度进行传输，而帧头则以较低的速度进行传输。

CAN 模块的特性：

- CPU 访问 CAN 寄存器只能以 32-bit 宽度
- 支持 CAN 规范
 - CAN 2.0B (最多 8 字节有效负载，经 Bosch 参考模型验证)
 - 可选支持 CAN FD (最多 64 字节有效负载，ISO 11898-1:2015 或非 ISO Bosch)
- 可自由编程的数据速率：
 - CAN 2.0B 定义了高达 1Mbit/s 的数据速率
 - CAN FD 受到收发器和 CAN-CTRL 核心时钟频率的限制。
- 可编程的波特率预分频器 (1 到 1/256)
- 主机接口和 CAN 协议机的独立时钟域
- 可配置的接收缓冲区 (RB) 大小
 - 通用参数选择缓冲槽的数量。
 - 类似 FIFO 的行为
 - "未被接受"或"错误"的接收消息不会覆盖已存储的消息。
- 两个发送缓冲区
 - 一个主发送缓冲区 (PTB)
 - 可选配置的次要发送缓冲区 (STB)
 - STB 是可选的。通用参数选择缓冲槽的数量。
 - 在 FIFO 或优先级决策模式下操作。
- 独立和可编程的内部 29 位接受过滤器
 - 可通过通用参数选择的接受过滤器数量范围为 1 到 16
- 扩展功能
 - 单次触发传输模式 (适用于 PTB 和/或 STB)
 - 仅监听模式
 - 环回模式 (内部和外部)
 - 收发器待机模式
- 扩展状态和错误报告
 - 捕获最后发生的错误类型和仲裁丢失位置
 - 可编程的错误警告限制
- 可配置的中断源
- 帧缓冲区的双端口内存块或两个伪双端口内存块

6.10.6 LIN

LIN 模块具有以下特性:

- 与 LIN1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps (根据 LIN2.1 协议)
- 两个外部引脚: LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主器件头文件生成
 - 可编程同步中断域
 - 同步域
 - 标识符域
- 主站或从站
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
 - 唤醒信号生成
 - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
 - 位错误
 - 总线错误
 - 无响应错误
 - 校验和错误
 - 同步域错误
 - 奇偶校验错误
- 能够使用直接存储器访问(DMA)发送和接收数据
- 两个中断线路带有以下项目的优先级编码:
 - 接收
 - 发送
 - ID、错误和状态
- 支持 LIN2.0 校验和
- 增强型同步器有限状态机(FSM)支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 自动标识符奇偶校验计算/发送和验证
- 可禁用奇偶校验发送和校验
- 自动校验和计算/发送和验证
- 可禁用校验和发送与验证
- 支持 "经典 "和 "增强 "校验和类型
- 生成唤醒信号

LIN 模块同时兼容 USART (Universal Synchronous/Asynchronous Receiver/Transmitter) , 即包含通用同步/异步收发传输模块。它可以作为一个 SCI 运行, 可实现标准的非归零格式。

LIN 模块 (兼容 USART) 功能框图如下:

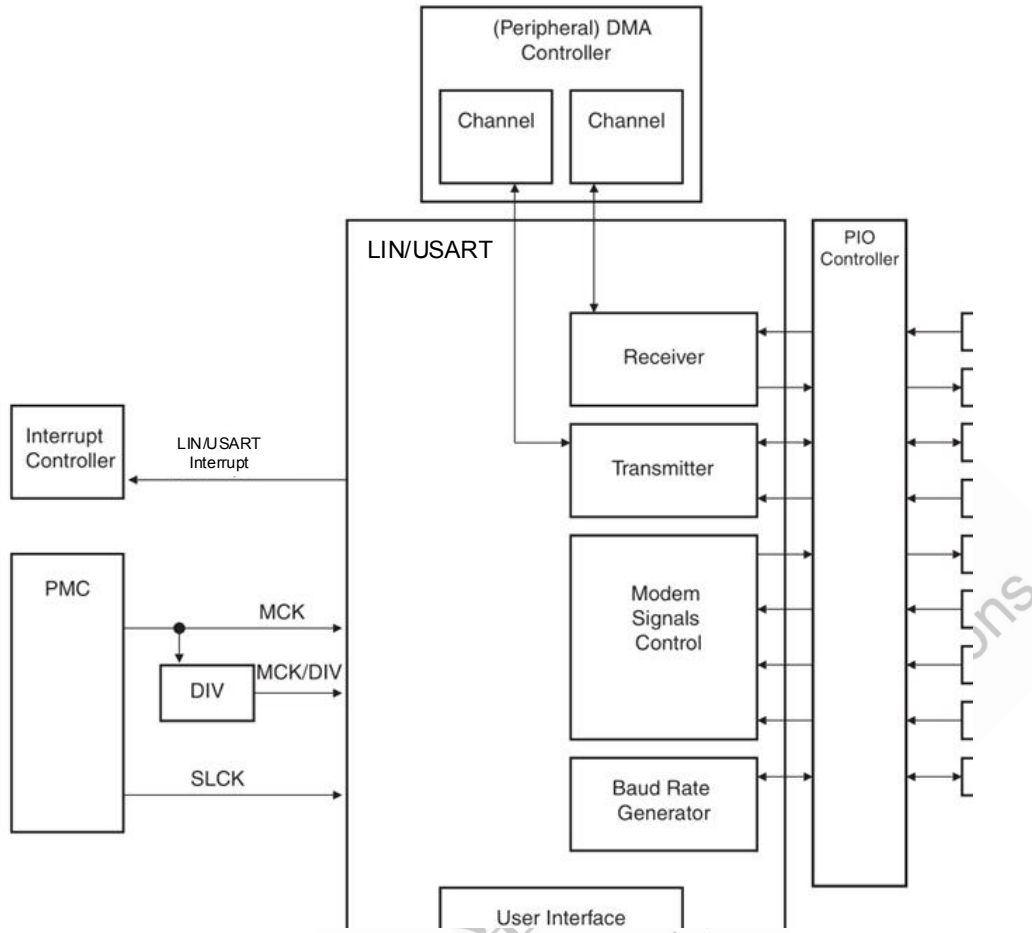


图 6-37. LIN/USART 功能框图

7 功能简介

7.1 CPU

本器件内核 DSP100 具备专用的代码 RAM——ILM，和专用的数据 RAM——DLM，包含浮点运算单元 FPU，包含常用数学运算、数字电源、电机控制的算法加速指令，可以高效访问各种实时控制外设。

7.1.1 DSP100 内核

处理器内核符合下列规范：

- The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Version 2.2
- The RISC-V Instruction Set Manual Volume II: Privileged Architecture Version 1.11
- The RISC-V Debug Specification, Version 0.13

用户可以在 RISC-V 基金会的网站上免费下载其完整原文(<https://riscv.org/specifications/>)

内核的主要特性如下：

支持以下 RV32 基础指令集：

- RISC-V, RV32I: 基础整数指令集
- RISC-V, M 扩展: 乘法和除法指令集
- RISC-V, A 扩展: 原子指令集
- RISC-V, F 扩展: 单精度浮点数指令集
- RISC-V, C 扩展: 压缩指令集

支持以下 RV32 扩展指令集：

- RISC-V, P 扩展: SIMD 和 DSP 扩展指令集
- RISC-V, B 扩展: 位操作指令扩展

同时支持以下实时控制定制指令集：

- TMU: 三角函数和数学运算定制指令运算单元，支持正余弦、反正切、快速除法、指数/对数等运算加速
- CLU: 电流环控制定制指令运算单元，支持 PI(D)控制、坐标系变换、SVPWM/DPWM 等运算加速
- IQMATH: IQMATH 定制指令运算单元，支持不同定点数的常见数学运算加速
- LOOP&CTRL: 实时微控制、循环和地址子增减等控制定制指令

其他特性：

- L1 I-Cache, 2way, 32Byte Cache line per way
- L1 D-Cache, 2way, 32Byte Cache line per way
- 本地零等待指令存储器 ILM，本地零等待数据存储器 DLM
- 3 级变长顺序流水线
- 可顺序预取两条指令降低访问延迟
- 动态分支预测
- 处理器性能监视器
- 非对齐的存储器访问
- 支持低功耗

7.1.2 浮点协处理器 (FPU)

本器件包含单精度浮点处理单元 FPU (Float Point Unit)。浮点处理单元额外增加了 32 个位宽为 32bit 的浮点寄存器(f0~f31)和一个浮点控制状态寄存器 fcsr(用来控制浮点的操作模式和异常状态的记录)。浮点运算符合 IEEE 754-2008 标准。

7.1.3 实时控制定制指令 (TMU、CLU、IQMATH 等)

本器件除了支持 RISC-V 标准指令、扩展指令集外，还支持 sin、cos、atan2、快速除法等三角函数指令与常用数学计算指令；此外还包含了特殊定制指令用于提升常用控制算法如 SVPWM、DPWM、SYPWM、Park、Clark、(NL)-PID 等的计算性能。

7.1.4 物理存储器保护单元 (PMP)

PMP (Physical Memory Protection) 物理内存保护单元可以提供安全处理和故障隔离功能，对现代处理器来说是非常重要的。PMP 机制适用于所有特权模式为 S 或 U 的指令和数据访问，通过在 M 态下修改对应的控制寄存器，可以指定每个物理内存区域的读、写和执行等访问权限。违反 PMP 机制的访存将被处理器捕获并触发异常。

本器件支持 8 个 PMP 入口。

格见半导体
Gejian Semi. confidential - NDA Restrictions

7.2 存储器

7.2.1 内存与闪存映射

本器件内存与闪存映射表如下:

内存	起始地址	结束地址	大小	ECC	DSP 访问	DMA 访问
内存映射区	0x0000_0000	0x000F_FFFF	1024KB	Y	Y	Y
Flash_Bank1	0x0800_0000 *	0x0807_FFFF	512KB	Y	Y	Y
Flash_Bank2	0x0808_0000	0x080B_FFFF	256KB	Y	Y	Y
BootROM (Bank1)	0x1FFE_0000 *	0x1FFE_3FFF	16KB	Y	Y	Y
BootROM (Bank2)	0x1FFE_4000	0x1FFE_BFFF	32KB	Y	Y	Y
Flash OTP	0x1FFF_4000	0x1FFF_47FF	2KB	Y	Y	Y
Flash Option Bits	0x1FFF_6000	0x1FFF_605F	96B	Y	Y	Y
GS_RAM0	0x2000_0000	0x2000_7FFF	32KB	Y	Y	Y
GS_RAM1	0x2000_8000	0x2000_FFFF	32KB	N	Y	Y
GS_RAM2	0x2003_8000 *	0x2003_FFFF	32KB	N	Y	Y
DSP_ILM	0x2010_0000	0x2013_FFFF	256KB	Y	Y	Y
DSP_DLM	0x2014_0000	0x2014_FFFF	64KB	N	Y	Y
BitBand	0x4000_0000	0x400F_FFFF	1024KB	N	Y	Y

注:

* 根据引导配置 (Boot) 的不同, 以 0x0000_0000 为起始地址的内存映射区可能来自于 Flash_Bank1, BootROM Bank1, 或 GS_RAM2; 如上表星号*所指示的区域是可用于引导的内存区域。

7.2.2 内存 SRAM

RAM 包括以下几部分:

- GS_RAM - Global Shared RAM, DSP 核与 DMA 都可访问, 存储代码和数据, 可映射到 0 地址, 可用于引导。
- DSP_ILM / DSP_DLM - 它们是 DSP 核的 ILM(本地代码存储器)与 DLM(本地数据存储器), DSP 核不通过总线即可零等待直接访问 ILM / DLM; DSP 核也可以把 ILM 当作系统 RAM 使用。

7.2.3 闪存 Flash

本器件 Flash 包含以下区域:

- 主存储区 - 包含最多 2 个 bank, 每个 Bank 最大 512KB, 存储代码和只读数据⁽¹⁾。
- BootROM - 48KB, 由芯片原厂写入引导程序, 客户不可修改。
- OTP 区域 - 出厂配置数据, 其中部分区域允许一次编程。
- Option bits 区域 - 出厂配置数据, 客户不可修改。

本器件的 Flash 具备以下特性:

- 支持 ECC, 每 128 位数据会有 9 位 ECC 校验数据, 可实现单比特纠错和双比特错误检测;
- 支持 Flash 控制寄存器的写保护功能, 防止误操作;
- 在同一个 Flash Bank 内, 不支持 read-while-write (不能够读同时写);
- 在两个 Flash Bank 之间, 支持 read-while-write (例如读 Bank1 的同时可以擦写 Bank2);
- 对 Flash 编程的最小单位为页, 16 字节;
- 对 Flash 擦除的最小单位为扇区 Sector, 大小为 8KB;
- 支持整个 Bank 擦除;
- 具有擦除和编程保护状态, 可阻止意外写操作;
- 包含内建自测功能 (BIST: Built-in self-test);
- 支持智能写入;

•具有指令高速缓存和数据高速缓存，支持预取。

(1) 这里描述最大规格，实际请以下表为准

特征	0039	0039H	0039P	0039-Q	0039H-Q
Bank 数量	2	2	2	2	2
Bank0 容量	512KB	512KB	512KB	512KB	512KB
Bank1 容量	256KB	256KB	512KB	256KB	512KB

7.2.4 外设寄存器映射

GS32F0039 全系列的外设寄存器映射表如下所示，其中不同型号根据其特性规格，可能是下表的子集：

外设名称	起始地址	结束地址	大小	AHB/APB
ADC1	0x4000_0000	0x4000_07FF	2KB	AHB
ADC2	0x4000_0800	0x4000_0FFF	2KB	AHB
ADC3	0x4000_1000	0x4000_17FF	2KB	AHB
EPWM_COM	0x4000_8000	0x4000_87FF	2KB	AHB
EPWM1	0x4000_8800	0x4000_8FFF	2KB	AHB
EPWM2	0x4000_9000	0x4000_97FF	2KB	AHB
EPWM3	0x4000_9800	0x4000_9FFF	2KB	AHB
EPWM4	0x4000_A000	0x4000_A7FF	2KB	AHB
EPWM5	0x4000_A800	0x4000_AFFF	2KB	AHB
EPWM6	0x4000_B000	0x4000_B7FF	2KB	AHB
EPWM7	0x4000_B800	0x4000_BFFF	2KB	AHB
EPWM8	0x4000_C000	0x4000_C7FF	2KB	AHB
EPWM9	0x4000_C800	0x4000_CFFF	2KB	AHB
EPWM10	0x4000_D000	0x4000_D7FF	2KB	AHB
EPWM11	0x4000_D800	0x4000_DFFF	2KB	AHB
EPWM12	0x4000_E000	0x4000_E7FF	2KB	AHB
ECAP1	0x4002_8000	0x4002_81FF	512B	AHB
ECAP2	0x4002_8200	0x4002_83FF	512B	AHB
ECAP3	0x4002_8400	0x4002_85FF	512B	AHB
ECAP4	0x4002_8600	0x4002_87FF	512B	AHB
ECAP5	0x4002_8800	0x4002_89FF	512B	AHB
ECAP6	0x4002_8A00	0x4002_8BFF	512B	AHB
ECAP7	0x4002_8C00	0x4002_8DFF	512B	AHB
EQEP1	0x4003_0000	0x4003_01FF	512B	AHB
EQEP2	0x4003_0200	0x4003_03FF	512B	AHB
AHB1_COMM_PARA	0x4003_F000	0x4003_FFFF	4KB	AHB
CMPSS1	0x4004_0000	0x4004_01FF	512B	AHB
CMPSS2	0x4004_0200	0x4004_03FF	512B	AHB
CMPSS3	0x4004_0400	0x4004_05FF	512B	AHB
CMPSS4	0x4004_0600	0x4004_07FF	512B	AHB
CMPSS5	0x4004_0800	0x4004_09FF	512B	AHB
CMPSS6	0x4004_0A00	0x4004_0BFF	512B	AHB
CMPSS7	0x4004_0C00	0x4004_0DFF	512B	AHB
SDFM1	0x4004_3000	0x4004_31FF	512B	AHB
SDFM2	0x4004_3200	0x4004_33FF	512B	AHB
GPIO0	0x4004_5000	0x4004_5FFF	4KB	AHB
GPIO1	0x4004_6000	0x4004_6FFF	4 KB	AHB
GPIO2	0x4004_7000	0x4004_7FFF	4 KB	AHB

外设名称	起始地址	结束地址	大小	AHB/APB
GPIO3	0x4004_8000	0x4004_8FFF	4 KB	AHB
GPIO4	0x4004_9000	0x4004_9FFF	4 KB	AHB
GPIO5	0x4004_A000	0x4004_AFFF	4 KB	AHB
GPIO6	0x4004_B000	0x4004_BFFF	4 KB	AHB
PLU1	0x4006_5000	0x4006_53FF	1KB	AHB
PLU2	0x4006_5400	0x4006_57FF	1KB	AHB
PLU3	0x4006_5800	0x4006_5BFF	1KB	AHB
PLU4	0x4006_5C00	0x4006_5FFF	1KB	AHB
XBAR	0x4006_D000	0x4006_EFFF	8 KB	AHB
DACA	0x4008_0000	0x4008_01FF	512B	AHB
DACB	0x4008_0200	0x4008_03FF	512B	AHB
ERAD	0x4008_1000	0x4008_1FFF	4 KB	AHB
DSP_DMA	0x4008_2000	0x4008_4FFF	12 KB	AHB
DSP_DMA_MUX	0x4008_5000	0x4008_5FFF	4 KB	AHB
EPG	0x4008_6000	0x4008_6FFF	4 KB	AHB
SEMA	0x4008_7000	0x4008_7FFF	4 KB	AHB
CRC	0x4008_8000	0x4008_81FF	512B	AHB
FFT	0x4008_8200	0x4008_83FF	512B	AHB
FFT_RAM	0x4008_8400	0x4008_E3FF	24 KB	AHB
AES	0x4009_0000	0x4009_FFFF	64 KB	AHB
APB_COMM_PARA	0x400C_0000	0x400C_0FFF	4 KB	APB
SCIA	0x400C_1000	0x400C_11FF	512B	APB
SCIB	0x400C_1200	0x400C_13FF	512B	APB
I2CA	0x400C_2000	0x400C_21FF	512B	APB
I2CB	0x400C_2200	0x400C_23FF	512B	APB
PMBUSA	0x400C_2400	0x400C_25FF	512B	APB
SPIA	0x400C_3000	0x400C_31FF	512B	APB
SPIB	0x400C_3200	0x400C_33FF	512B	APB
CANA	0x400C_4000	0x400C_41FF	512B	APB
CANB	0x400C_4200	0x400C_43FF	512B	APB
LINA	0x400C_5000	0x400C_51FF	512B	APB
LINB	0x400C_5200	0x400C_53FF	512B	APB
SUB_CRG	0x400C_6000	0x400C_6FFF	4 KB	APB
Timer0~1	0x400C_8000	0x400C_8FFF	4 KB	APB
Timer2~3	0x400C_9000	0x400C_9FFF	4 KB	APB
IO_CFG	0x400C_C000	0x400C_CFFF	4 KB	APB
ANA_CFG	0x400C_D000	0x400C_DFFF	4 KB	APB
TOP_CRG	0x400C_E000	0x400C_EFFF	4 KB	APB
SYS_CTRL	0x400C_F000	0x400C_FFFF	4 KB	APB
WDG_DSP	0x400D_1000	0x400D_1FFF	4 KB	APB
NMI_WDG	0x400D_4000	0x400D_4FFF	4 KB	APB
EFLASH_CFG	0x5000_0000	0x5000_3FFF	16 KB	AHB
DSP_RSV_CFG	0x5800_0000	0x5800_0FFF	4 KB	APB
QSPI	0xA000_1000	0xA000_13FF	1 KB	AHB

7.3 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。

7.3.1 默认引导模式

本器件支持 3 种不同的默认引导模式：

- 从内部 flash 引导(闪存 main 区, 主程序区)
- 从 System Memory 引导(闪存 info 区, 作为 BootROM 启动)
- 从 RAM 引导

具体选择哪种引导模式是由 BOOT0、BOOT1 管脚和 BOOT_LOCK 位指定(efuse 内配置)。

BOOT0, BOOT1 为芯片的硬件特征字, 该两个引脚的电平状态会在复位后的第四个系统时钟的上升沿进行采样锁存, 一旦这两个引脚电平被采样, 他们可以被释放用于其他用途。

表 7-1. 默认启动方式

BOOT_LOCK	BOOT1	BOOT0	Boot Memory Space Alias
1	X	X	Main Flash memory
0	0	0	Main Flash memory is selected as boot area
0	0	1	GSRAM is selected as boot area
0	1	0	System memory is selected as boot area
0	1	1	Main Flash memory is selected as boot area

7.3.2 自定义引导模式

具用户可以选择对器件进行编程, 以便自定义引导模式以及使用的引导模式选择的 GPIO 引脚。

- 芯片默认选择 GPIO32(boot_pin0)和 GPIO24(boot_pin1)作为引导引脚
- 支持通过 optionbytes 配置任意两个 GPIO 作为引导引脚
- 支持通过 optionbytes 配置启动映射方式

表 7-2. 引导引脚自定义选择

option bytes	位宽	含义
BOOT_PIN_CFG_KEY	31:24	0x5A 表示 BOOT_PIN0_SEL 和 BOOT_PIN1_SEL 有效, 否则采用默认模式
保留位	23:16	保留
BOOT_PIN0_SEL	15:8	设置 0x0 表示选择 GPIO0 作为 boot_pin0, 最大可选择为 0xFF
BOOT_PIN1_SEL	7:0	设置 0x0 表示选择 GPIO0 作为 boot_pin1, 最大可选择为 0xFF

表 7-3. 启动方式映射

option bytes	位宽	含义
BOOT_DEF3	7:6	0x0: Main Flash memory is selected as boot area 0x1: GSRAM is selected as boot area 0x2: System memory is selected as boot area 0x3: Main Flash memory is selected as boot area
BOOT_DEF2	5:4	0x0: Main Flash memory is selected as boot area 0x1: GSRAM is selected as boot area 0x2: System memory is selected as boot area 0x3: Main Flash memory is selected as boot area
BOOT_DEF1	3:2	0x0: Main Flash memory is selected as boot area 0x1: GSRAM is selected as boot area 0x2: System memory is selected as boot area 0x3: Main Flash memory is selected as boot area
BOOT_DEF0	1:0	0x0: Main Flash memory is selected as boot area 0x1: GSRAM is selected as boot area 0x2: System memory is selected as boot area 0x3: Main Flash memory is selected as boot area

表 7-4. 自定义引脚和启动方式的详细映射组合

BOOT_PIN_CFG_KEY	BOOT_PIN0_SEL	BOOT_PIN1_SEL	含义
!=0x5A	Don't care	Don't care	采用默认引导引脚作为 bootpin, 且 BOOT_DEF 不生效
=0x5A	0xFF	0xFF	默认从 Main Flash memory 启动
	Vaild GPIO	0xFF	支持 BOOF_DEF0/1 两种启动映射对应的启动方式
	0xFF	Vaild GPIO	支持 BOOF_DEF2/3 两种启动映射对应的启动方式
	Vaild GPIO	Vaild GPIO	支持 BOOF_DEF0/1/2/3 四种启动映射对应的启动方式

格见半导体
Gejian Semi. confidential - NDA Restrictions

7.4 DMA

DMA 作为总线的主机，可以代替 CPU 执行外设与内存之间以及内存与内存之间的数据搬运，减轻 CPU 的负担，提高软件效率。

每个 DMA 模块支持以下功能：

- 8 个独立可配置的通道
- 每个 DMA 通道由软件配置连接到专用的硬件 DMA 请求源，每个通道也支持直接软件触发。
- 通道之间的优先级可由软件编程设置（8 个级别：0~7，数值越大，优先级越高），当软件优先级相等时，进行轮询仲裁。
- 可独立设置的源和目的传输大小，模拟打包和解包。源/目的地址必须对齐到数据大小。
- 支持循环缓冲区管理
- 每个通道支持 5 个事件标志（中断）（DMA 源 burst 传输完成，DMA 目标 burst 传输完成，DMA 块传输完成、DMA 传输完成和 DMA 传输错误），在单个中断请求逻辑上进行或运算。
- 支持数据传输类型：内存到内存、外设到内存、内存到外设、外设到外设传输
- 可设置闪存 Flash、SRAM、APB 和 AHB 外设作为源和目的地
- 可编程的数据传输数量：最多 4095 个数据。

接下来分别呈现 DMA 请求源、DMA 触发源和 DMA 请求同步事件列表，以 GS32F0039 全系列为分析对象。其中，不同型号根据其特性规格，可能是下面分析列表集合的子集。

由于 MCU 内部的 DMA 请求源远多于 DMA 通道数量，因此需要通过 DMAMUX 将不同外设的 DMA 请求连接到相应的 DMA 通道。通过向“DMAMUX_CFG”寄存器表单的“DMAMUX_CCR[n].DMAREQ_ID”（n = 0 ~ 7）寄存器写入 DMA 请求源编号，可以将不同的 DMA 请求与对应的 DMA 通道 n 连接起来。DMA 请求源的编号如下表所示。例如需要使用 DMA 通道 3 搬运数据用于 UARTA 发送，则可以配置 DMAMUX_CCR[3].DMAREQ_ID = 42。

DMA 请求源映射表							
序号	req 源	序号	req 源	序号	req 源	序号	req 源
0	reserved	16	spib_dma_tx_req	32	reserved	48	reserved
1	dma_gen_out[0]	17	reserved	33	i2ca_dma_rx_req	49	lina_dma_rx_req
2	dma_gen_out[1]	18	eclb1_lc1_dma_req	34	i2ca_dma_tx_req	50	lina_dma_tx_req
3	dma_gen_out[2]	19	eclb1_lc2_dma_req	35	i2cb_dma_rx_req	51	linb_dma_rx_req
4	dma_gen_out[3]	20	eclb1_lc3_dma_req	36	i2cb_dma_tx_req	52	linb_dma_tx_req
5	dma_gen_out[4]	21	eclb2_lc1_dma_req	37	reserved	53	reserved
6	dma_gen_out[5]	22	eclb2_lc2_dma_req	38	pmbus_dma_rx_req	54	sd1flt1_dma_drnt
7	dma_gen_out[6]	23	eclb2_lc3_dma_req	39	pmbus_dma_tx_req	55	sd1flt2_dma_drnt
8	dma_gen_out[7]	24	eclb3_lc1_dma_req	40	reserved	56	sd1flt3_dma_drnt
9	reserved	25	eclb3_lc2_dma_req	41	scia_dma_rx_req	57	sd1flt4_dma_drnt
10	qspi_dma_rx_req	26	eclb3_lc3_dma_req	42	scia_dma_tx_req	58	sd2flt1_dma_drnt
11	qspi_dma_tx_req	27	eclb4_lc1_dma_req	43	scib_dma_rx_req	59	sd2flt2_dma_drnt
12	reserved	28	eclb4_lc2_dma_req	44	scib_dma_tx_req	60	sd2flt3_dma_drnt
13	spia_dma_rx_req	29	eclb4_lc3_dma_req	45	reserved	61	sd2flt4_dma_drnt
14	spia_dma_tx_req	30	reserved	46	reserved	62	reserved
15	spib_dma_rx_req	31	reserved	47	reserved	63	reserved

如下表所示为 DMAMUX_CCR 寄存器和 DMAMUX_RGCR 寄存器的定义。

DMAMUX_CCR(DMAMUX 寄存器)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SYNC_ID[5:0]						NBREQ[4:0]						SPOL[1:0]		SE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EGE							SOIE		DMAREQ_ID[6:0]						

DMAMUX_RGCR(REQ_GENERATOR 寄存器)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

								GNBREQ[4:0]				GPOL[1:0]		GE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							OIE						SIG_ID[6:0]		

有一些模块不能直接产生 DMA 请求，需要借助” DMA 请求发生器 (DMA Request Generator) “来产生 DMA 请求信号。这种情况需要配置寄存器 DMAMUX_RGCR[k]。例如需要让 ADC 转换完成信号 adc2_1int 触发 DMA 通道 5 搬运 ADC 的转换结果，则可以配置 DMAMUX_RGCR[2].SIG_ID=5 (总共有 8 个 DMA 请求发生器，这里让 ADC 中断标志信号 adc2_1int 连接到 DMA 请求发生器 2 - dma_gen_out[2]，参考 DMA 请求映射表和 DMA 请求触发源映射表)，并且配置 DMAMUX_RGCR[2].GE=1 (使能 DMA 请求发生器 2)；然后让 DMA 请求发生器 2 的信号 dma_gen_out[2]关联到 DMA 通道 5，需要配置 DMAMUX_CCR[5].DMAREQ_ID = 2 (DMA 请求映射表，dma_gen_out[2]连接到 DMA 通道 5，ADC 中断信号 adc2_1int 会通过 dma_gen_out[2]向 DMA 通道 5 发出 DMA 请求)。

DMA 触发源映射表					
序号	trigger 源	序号	trigger 源	序号	trigger 源
0	reserved	32	cpu_16xint	64	ecap1dma
1	adc1_1int	33	reserved	65	ecap2dma
2	adc1_2int	34	EPWM1xSOCA	66	ecap3dma
3	adc1_3int	35	EPWM1xSOCB	67	reserved
4	adc1_4int	36	EPWM2xSOCA	68	reserved
5	adc1_evt_int	37	EPWM2xSOCB	69	reserved
6	adc2_1int	38	EPWM3xSOCA	70	reserved
7	adc2_2int	39	EPWM3xSOCB	71	reserved
8	adc2_3int	40	EPWM4xSOCA	72	can0_host_if[2]
9	adc2_4int	41	EPWM4xSOCB	73	can0_host_if[3]
10	adc2_evt_int	42	EPWM5xSOCA	74	can0_host_if[4]
11	adc3_1int	43	EPWM5xSOCB	75	can0_host_if[5]
12	adc3_2int	44	EPWM6xSOCA	76	can1_host_if[2]
13	adc3_3int	45	EPWM6xSOCB	77	can1_host_if[3]
14	adc3_4int	46	EPWM7xSOCA	78	can1_host_if[4]
15	adc3_evt_int	47	EPWM7xSOCB	79	can1_host_if[5]
16	reserved	48	EPWM8xSOCA	80	reserved
17	cpu_1xint	49	EPWM8xSOCB	81	dmamux_evt[0]
18	cpu_2xint	50	reserved	82	dmamux_evt[1]
19	cpu_3xint	51	reserved	83	dmamux_evt[2]
20	cpu_4xint	52	reserved	84	dmamux_evt[3]
21	cpu_5xint	53	reserved	85	dmamux_evt[4]
22	cpu_6xint	54	reserved	86	dmamux_evt[5]
23	cpu_7xint	55	reserved	87	dmamux_evt[6]
24	cpu_8xint	56	reserved	88	dmamux_evt[7]
25	cpu_9xint	57	reserved	89	reserved
26	cpu_10xint	58	reserved	90	reserved
27	cpu_11xint	59	timer0_dma_trig	91	reserved
28	cpu_12xint	60	timer1_dma_trig	92	epg_dma_trig
29	cpu_13xint	61	timer2_dma_trig	93	reserved
30	cpu_14xint	62	timer3_dma_trig	94	software_trigger
31	cpu_15xint	63	reserved	95	reserved

如果需要用另一个事件或信号来同步某个 DMA 请求，则需要配置 DMAMUX_CCR[n].SYNC_ID = 同步事件编号，以及配置 DMAMUX_CCR[n].SE=1，使能同步控制。在这种情况下，当 DMA 请求信号产生时，仍然不会启动 DMA 传输，直到出现同步信号之后，DMA 搬运才会启动。可选的同步事件参考如下的同步事件映射表。

DMA 请求同步事件映射表							
序号	同步事件源	序号	同步事件源	序号	同步事件源	序号	同步事件源
0	reserved	8	dmamux_evt[7]	16	cpu_2xint	24	cpu_10xint
1	dmamux_evt[0]	9	reserved	17	cpu_3xint	25	cpu_11xint
2	dmamux_evt[1]	10	timer0_dma_trig	18	cpu_4xint	26	cpu_12xint
3	dmamux_evt[2]	11	timer1_dma_trig	19	cpu_5xint	27	cpu_13xint
4	dmamux_evt[3]	12	timer2_dma_trig	20	cpu_6xint	28	cpu_14xint
5	dmamux_evt[4]	13	timer3_dma_trig	21	cpu_7xint	29	cpu_15xint
6	dmamux_evt[5]	14	reserved	22	cpu_8xint	30	cpu_16xint
7	dmamux_evt[6]	15	cpu_1xint	23	cpu_9xint	31	reserved

总结:

- 1) 对于可以直接产生 DMA 请求的外设, 只需要配置 DMAMUX_CCR[n].DMAREQ_ID=DMA 请求映射表, n 表示 DMA 通道编号。
- 2) 部分外设需要借助 DMA 请求发生器 dma_gen_out[k]产生 DMA 请求信号, 需要配置 DMAMUX_RGCR[k].GE=1, DMAMUX_RGCR[2].SIG_ID=DMA 请求触发源映射表; 它们通过 DMA 请求映射表的 dma_gen_out[0~7]产生 DMA 请求。
- 3) 如果使能了 DMA 请求同步——DMAMUX_CCR[n].SE=1, 那么需要配置 DMAMUX_CCR[n].SYNC_ID=DMA 请求同步事件映射表; 这种情况下, 需要先出现 DMA 请求, 再出现同步事件, 才能让 DMA 请求信号到达设定的 DMA 通道。
- 4) DMAMUX_RGCR[k].GNBREQ 表示一次 DMA 触发信号可以产生多少次 dma_gen_out[k]请求信号, 默认配置为 0, 表示 1 次; DMAMUX_CCR[n].NBREQ 表示一次 DMA 请求可以产生多少次 DMA 请求信号, 默认为 0, 表示 1 次。

7.5 定时器 CPU Timer

每个 CPU Timer 定时器都包含一个 32 位向下递减计数器，当它被使能之后，即从初始值/装载值开始基于外设时钟与定时器分频系数所决定的频率进行递减计数，当计数器递减到 0 时可以产生中断、触发 DMA 请求、或触发 ADC 采样；此后定时器可以自动停止或继续运行，由相关寄存器的设置来决定。

该定时器包含以下特性：

- 定时器时钟来源于 APB 外设时钟，该时钟来源于系统时钟除以分频系数（通常配置为 4）
- 可通过相应的使能寄存器位控制定时器的运行与暂停
- 可配置定时器位宽为 32 位或 16 位
- 可设置分频系数为 1, 16, 256
- 可设置定时器运行模式为自由运行或周期运行
- 可设置定时器为单次模式或连续模式
- 定时器可以跟随 CPU 的运行/暂停而切换运行/暂停状态，也可以不受 CPU 暂停影响而自由运行

格见半导体
Gejian Semi. confidential - NDA Restrictions

7.6 看门狗

看门狗模块分别包含一个向下计数的普通看门狗和一个向下计数的窗口看门狗。看门狗可以产生一个中断或复位信号，通过外部振荡时钟和可选的分频器配置，用户可以根据需求设计内部计数器的计数频率。

下图显示了看门狗模块内部功能示意图

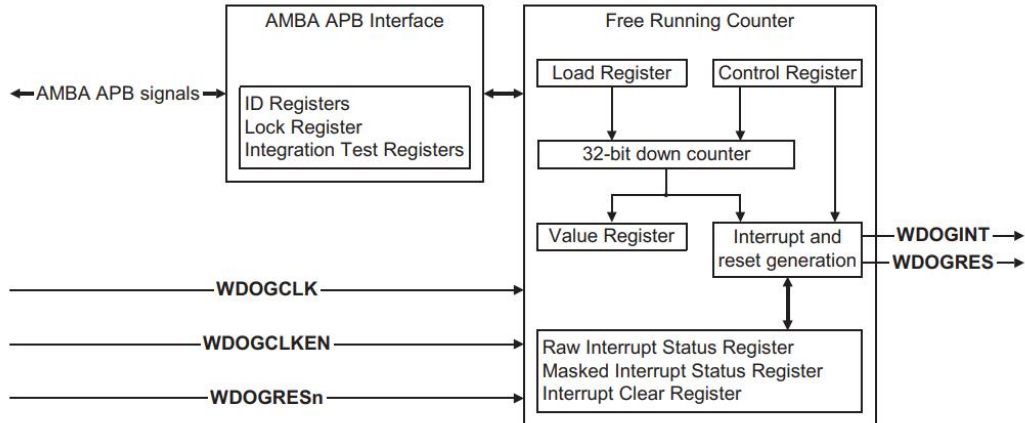


图 7-1. 看门狗模块内部功能示意图

7.6.1 独立看门狗 (WDOG)

独立看门狗定时器 (WDOG) 有独立时钟源 (INTOSC1)。即使主时钟失效，WDOG 依然能保持正常工作状态，适用于需要独立环境且对计时精度要求不高的场合。对于普通看门狗，用户软件必须在特定的周期内定期喂狗至看门狗计数器；否则看门狗在计数器值达到 0 时将产生一次中断。如果第一次中断处理或中断后仍未喂狗，那么看门狗将在第二次产生中断时自动复位。如果需要可将普通看门狗复位信号禁用。

主要特征：

- 支持独立运行的 32 位向下计数器；
- 支持使能看门狗定时器，当向下计数器的值达到 0 时产生中断或系统复位信号；
- 支持中断或系统复位信号产生使能；
- 支持独立时钟源，独立看门狗定时器在主时钟故障（例如待机和深度睡眠模式下）时仍能工作；
- 支持两段式喂狗；
- 支持可以配置独立看门狗定时器在调试模式下选择停止还是继续工作；

7.6.2 窗口看门狗 (WWDOG)

对于窗口看门狗，其产生中断的方式与普通看门狗相同，窗口看门狗与普通看门狗的主要差异在于，窗口看门狗产生复位或中断，在有效的计数周期内存在 window 限制。

7.6.3 NMI 看门狗 (NMIWDG)

非屏蔽中断 (NMI) 设置 NMIFLG 寄存器中的状态位，并启动 NMI 看门狗计数器。该计数器由 SYSCLK 提供时钟，如果达到 NMIWDPRD 寄存器中的值，就会触发 NMI 看门狗复位 (NMIWDRS)。为防止出现这种情况，NMI 处理程序必须使用 NMIFLGCLR 寄存器清除标志位。清除所有标志位后，还可清除 NMIFLG 寄存器中的 NMIINT 位，以允许将来执行 NMI。

7.7 CRC

CRC (循环冗余校验) 计算单元用于从 7 位、8 位、16 位、32 位待校验数据和多项式生成器里得到 CRC 运算结果, 计算后的 CRC 值与预期 CRC 值进行比较来指示数据接收成功或失败。在其他应用中, 基于 CRC 的技术被用于验证数据传输或存储的完整性。在功能安全标准的范围内, 它们提供了一种手段验证闪存完整性。CRC 计算单元帮助在运行期间计算软件的数字签名, 以便与在链接时生成并存储在给定存储器位置的参考数字签名进行比较。

CRC 的主要特点:

- 支持处理 7、8、16、32 位的数据长度, 通过寄存器配置选择
- 支持 CRC 初始值编程可配置
- 支持输入待校验数据以 byte/half-word/word 为粒度进行 bit 反转
- 支持输出校验值大小端转换
- 支持多项式可编程 (7、8、16、32 位), 默认使用 CRC-32 (以太网) 多项式: 0x4C11DB7
- 支持校验数据长度可配, 长度范围为 $1-2^{32}$
- 支持 CRC 生成和校验完成中断上报, 中断可屏蔽
- 支持 CRC 中断软件强制产生

格见半导体
Gejian Semi. confidential - NDA Restrictions

7.8 FFT

快速傅里叶变换（Fast Fourier Transform, FFT），是快速计算序列的离散傅里叶变换（DFT）或其逆变换的方法，具有以下特性：

- 支持单次运算完成 256/512/1024 点复数 FFT 运算。
- 支持单次运算完成 512/1024/2048 点实数 FFT 运算。
- 支持硬件加窗，（加窗系数为实数，且只支持对称窗函数）。
- 加窗运算和 FFT 计算均支持由软件触发或硬件逻辑自动触发，硬件触发模式配备独立的使能，来自 FFT 模块外部的输入触发源为 DMA 完成中断，当所选的 DMA 完成中断被置位后，将自动触发内部加窗或 FFT 计算；启动说明如图。



图 7-2. 各操作时间轴示意图

- 加窗完成上报 WIN_INT 中断，FFT 计算完成 flag (fft_done_int) 作为子事件之一将触发 FFT_INT 中断；另外当前次 FFT 计算完成 fft_done_int 未被及时处理，且再次发生 FFT 计算完成事件，则产生 FFT 溢出 flag (fft_ovf_int)
- 提供‘交换’功能，将最终结果搬移到 FFT_RAM 的起始位置，交换功能对以下几种场景有效：
 - 加窗旁路：
 - 1) 复数 512
 - 2) 实数 512
 - 3) 实数 2048
 - 加窗使能：
 - 1) 复数 256
 - 2) 复数 1024
 - 3) 实数 1024

7.9 AES

AES 模块提供基于二进制密钥的硬件加速数据加密和解密操作。AES 是一种对称密码模块，支持 128、192 或 256 位硬件密钥进行加密和解密。AES 模块基于对称算法，这意味着加密和解密密钥完全相同。加密数据是指将数据从纯文本转换成一种无法理解的形式，即密码文本。解密密码文本则将先前加密的数据转换为原始的纯文本形式。AES 加速器的主要功能包括：

支持 AES 加密和解密操作的有：

- 伽罗瓦/计数器模式(GCM)，具有基本的 GHASH 操作功能
- 带 CBC-MAC 的计数器模式(CCM)
- XTS 模式

可使用以下反馈操作模式：

- 电子密码本模式 (ECB)
- 密码块链模式 (CBC)
- 计数器模式(CTR)
- 密码反馈模式 (CFB) ， 128 位
- F8 模式
- 密钥大小 128、192 和 256 位
- 支持 CBC_MAC 和 Fedora9(F9)身份验证模式
- 基本 HASH 操作 (选择无加密时)
- 硬件关键调度
- 支持 DMA 传输
- 完全同步设计

下图显示了 AES 模块内部功能示意图

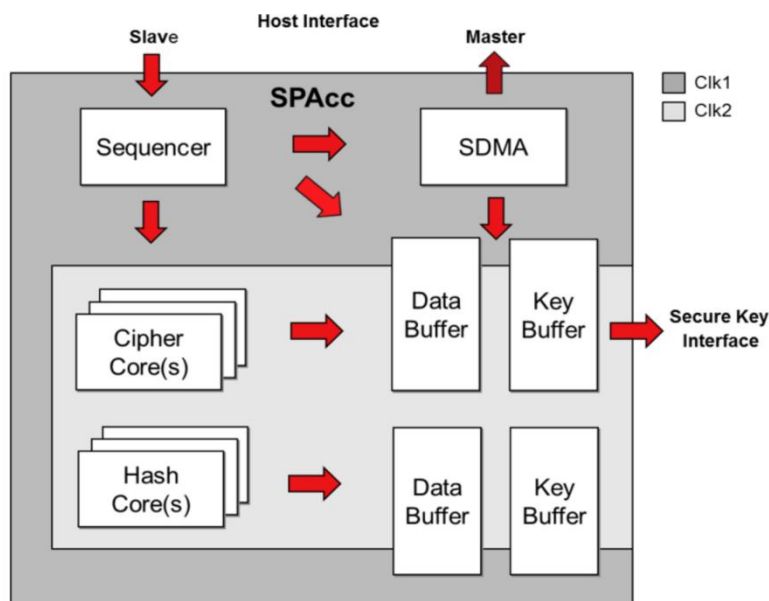


图 7-3. AES 模块内部功能示意图

7.10 嵌入式实时分析与诊断 (ERAD)

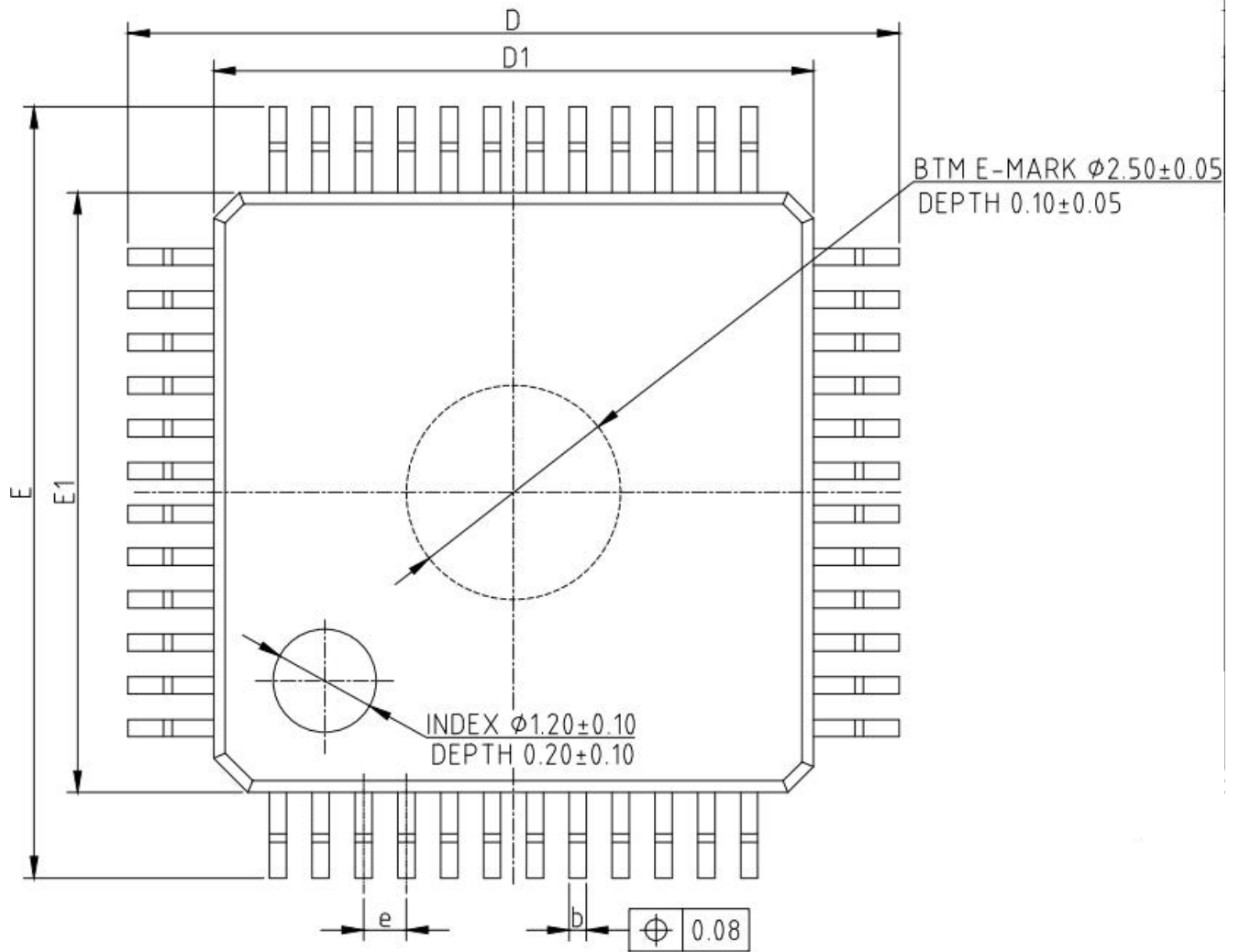
ERAD 模块增强了设备的调试和系统分析能力。由 ERAD 模块提供的调试和系统分析增强是在 CPU 之外完成的。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件监视点和其他输出事件。系统事件计数器单元用于分析和配置系统。ERAD 模块可以通过调试器和应用程序软件来访问，这大大提高了许多实时系统的调试能力，特别是在调试器没有连接的情况下。ERAD 模块包含 8 个增强的总线比较器单元（它将硬件断点的数量从 2 个增加到 10 个）和 4 个基准测试的系统事件计数器单元。

格见半导体
Gejian Semi. confidential - NDA Restrictions

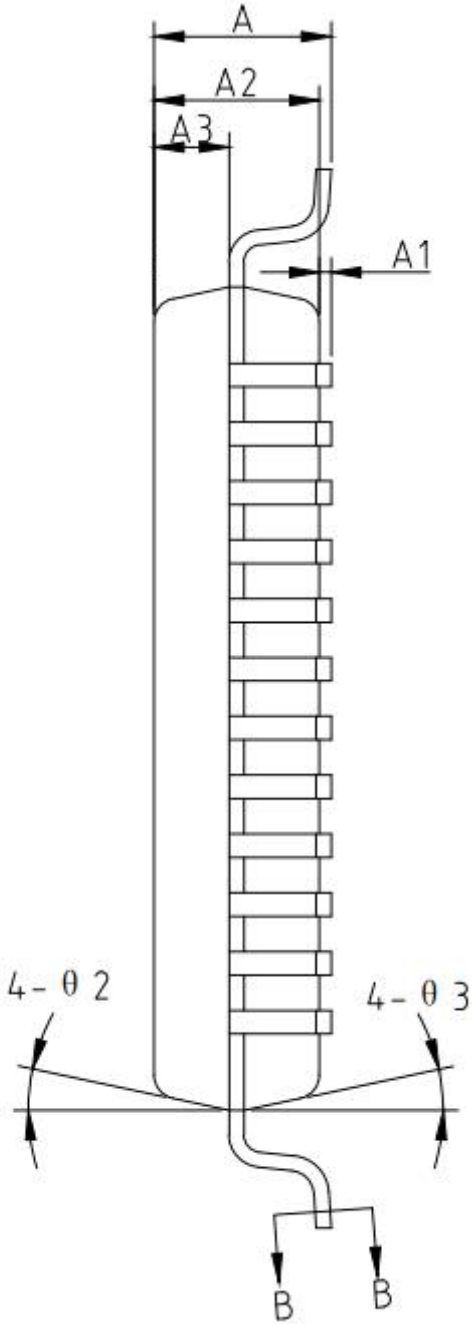
8 封装信息

8.1 LQFP48 封装

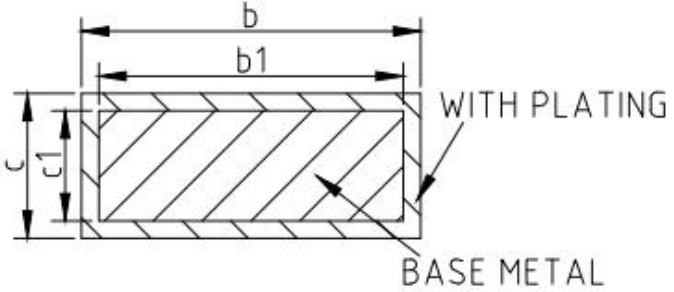
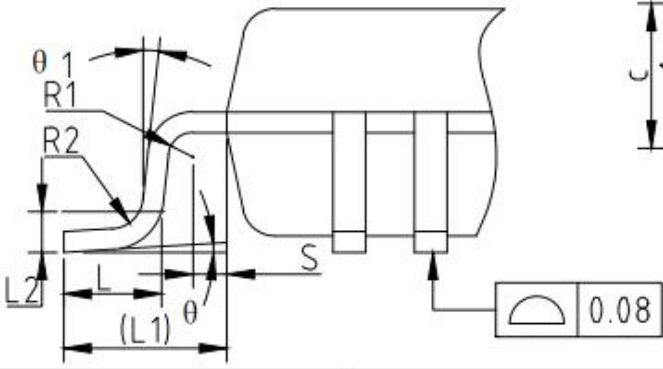
LQFP48 封装尺寸



Gejian Se



Restrictions

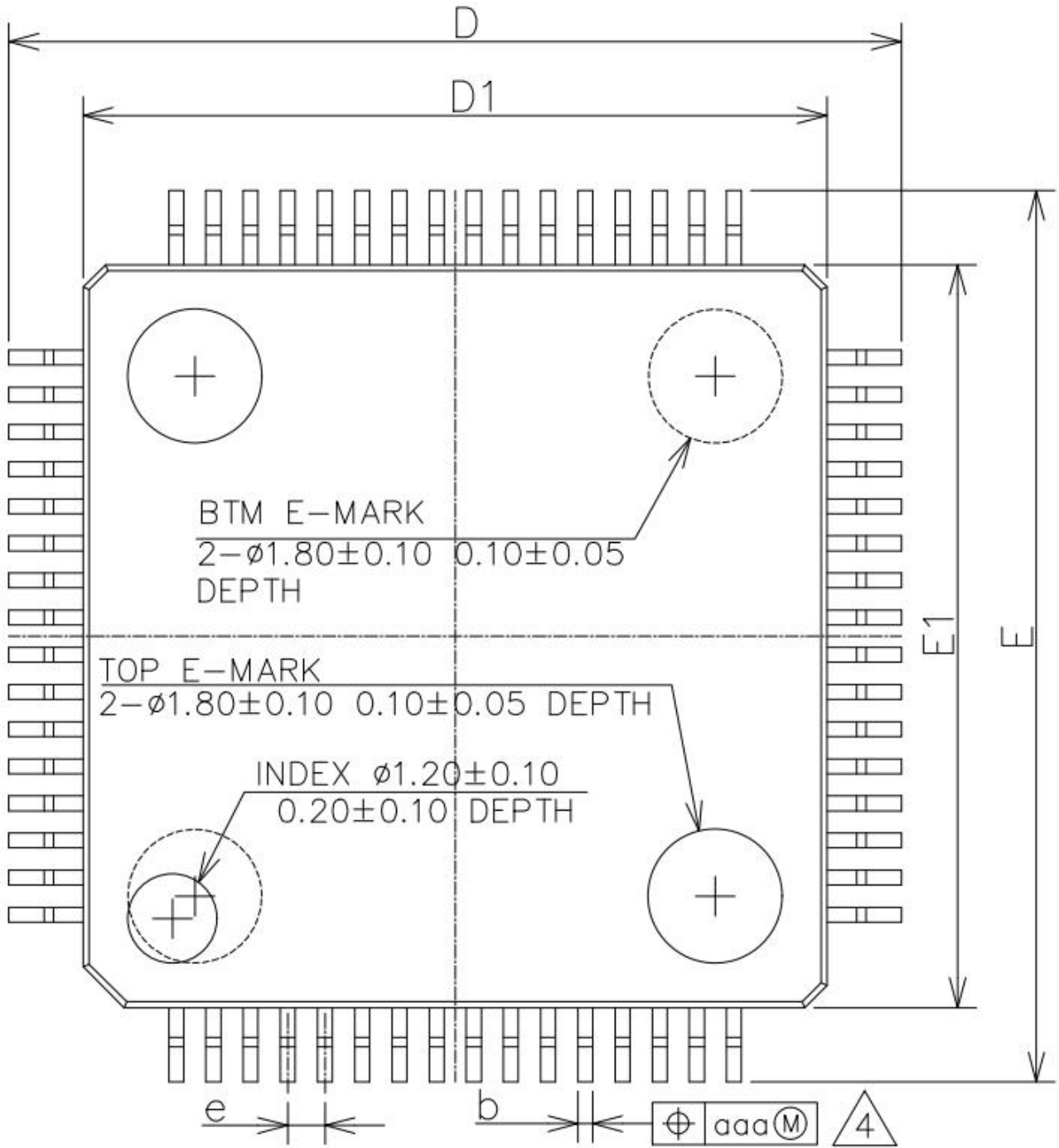


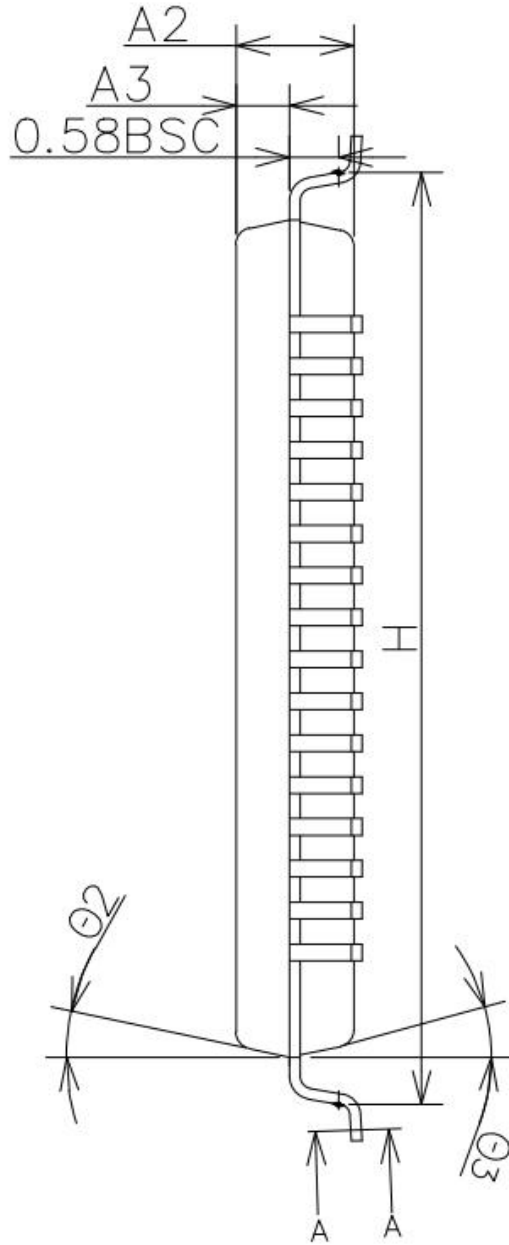
COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
θ_1	0°	—	—
θ_2	11°	12°	13°
θ_3	11°	12°	13°

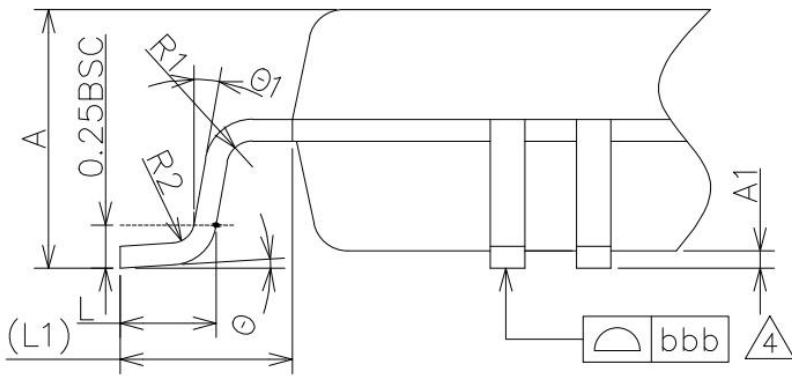
8.2 LQFP64 封装

LQFP64 封装尺寸

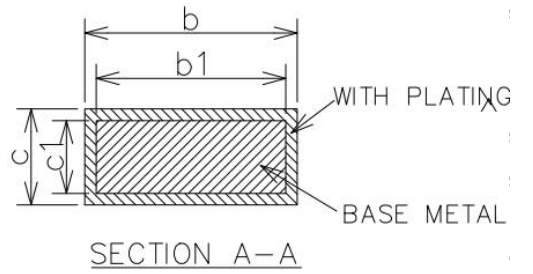




restrictions



LEAD FORM PART

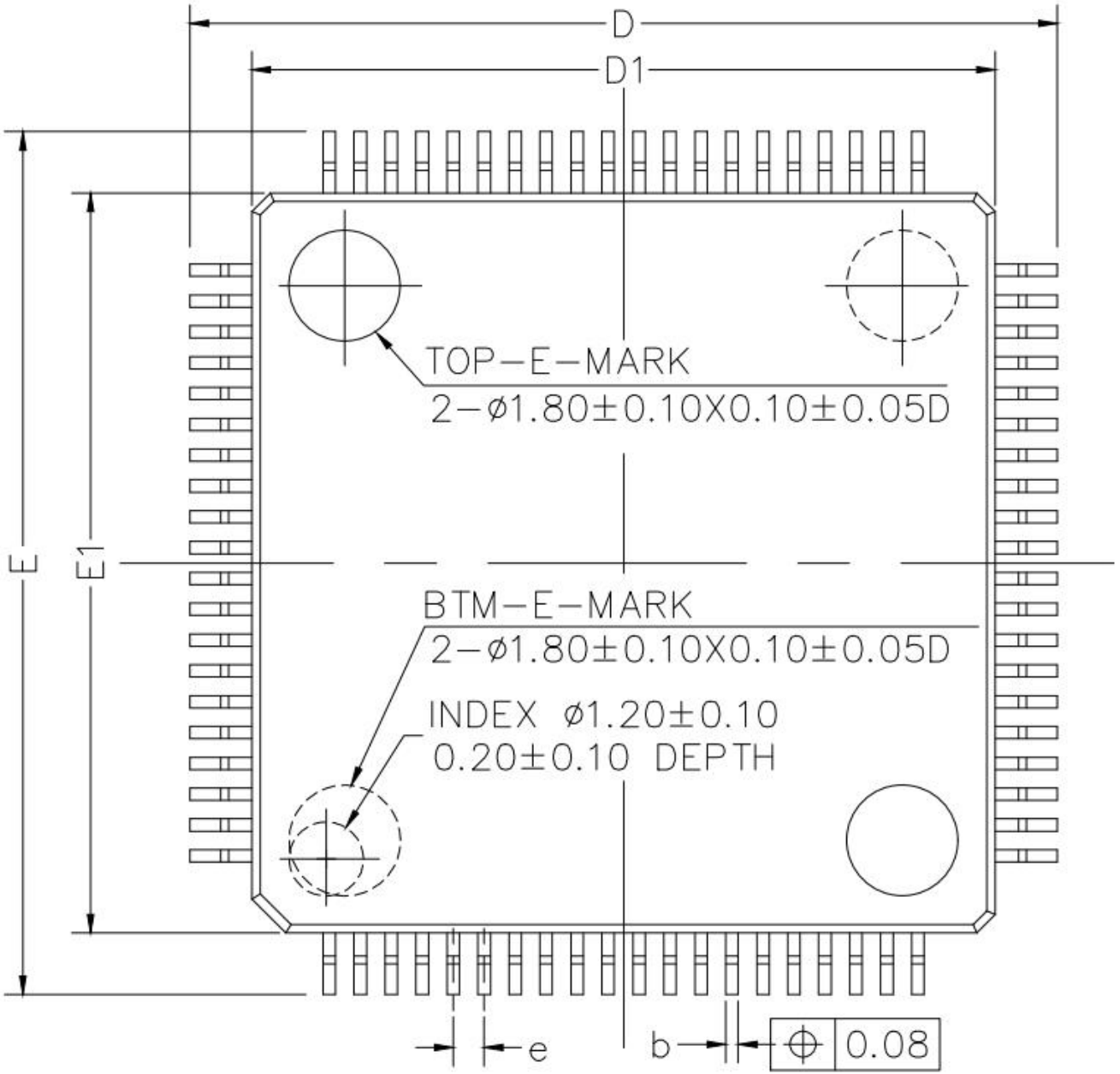


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

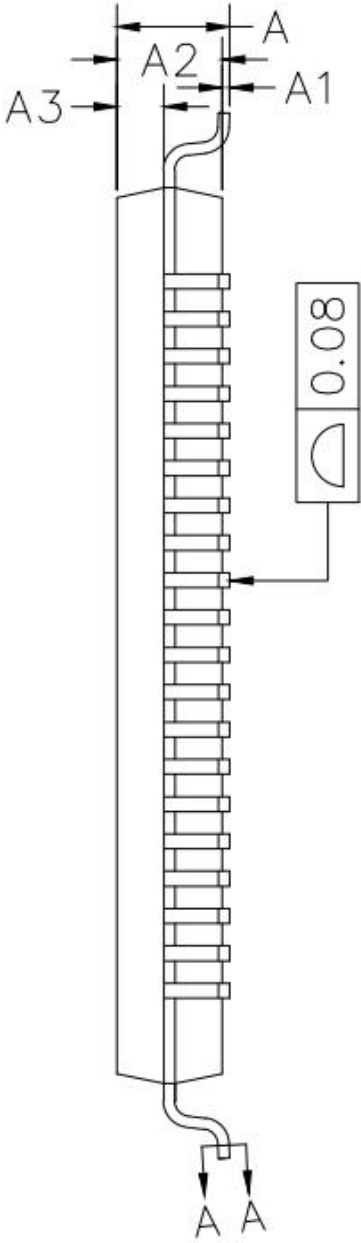
SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	—	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
θ	0°	3.5°	7°
θ 1	0°	—	—
θ 2	11°	12°	13°
θ 3	11°	12°	13°
aaa	0.08		
bbb	0.08		

8.3 LQFP80 封装

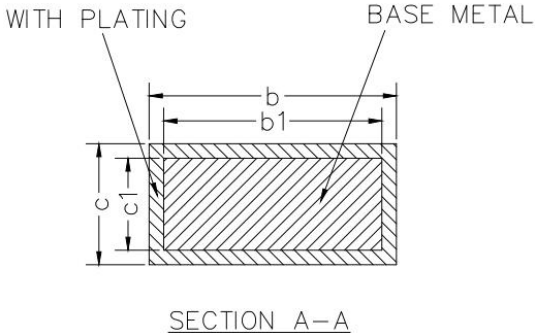
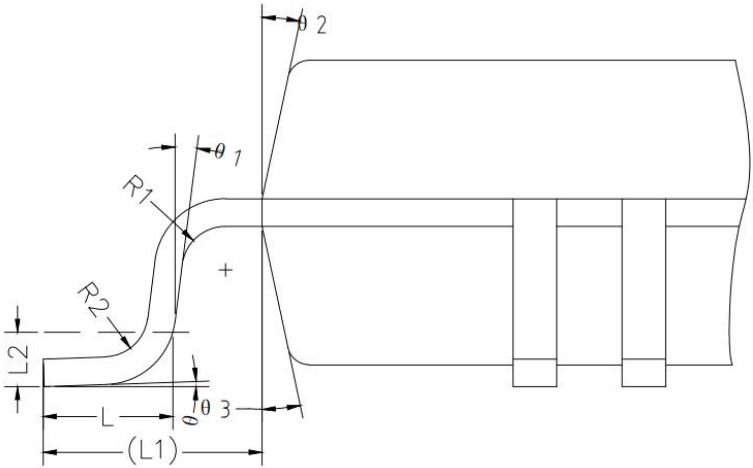
LQFP80 封装尺寸



Ge



NO Restrictions

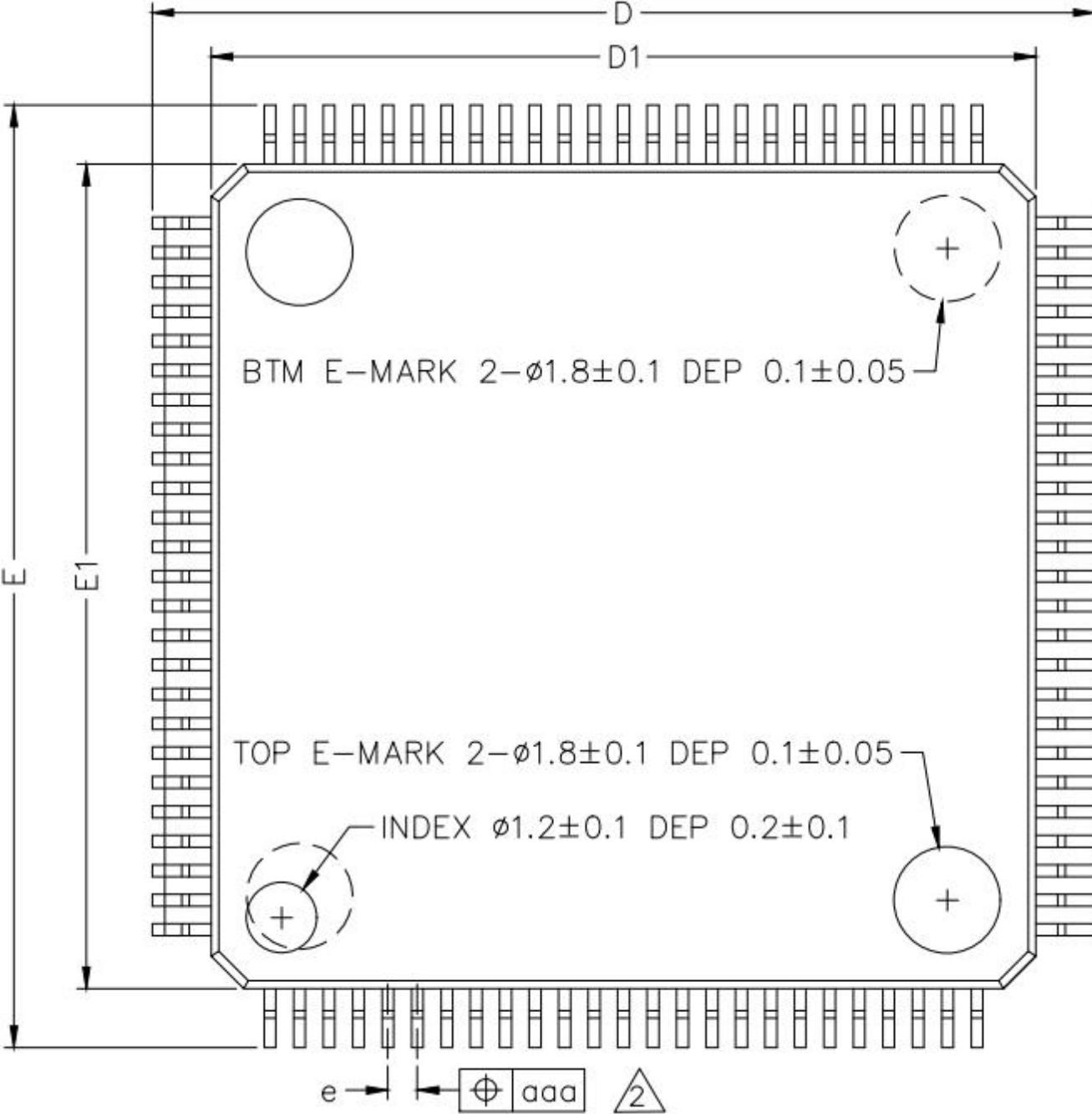


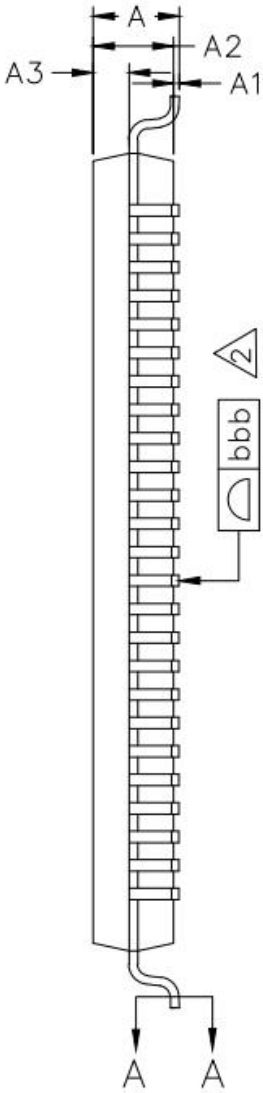
COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
θ	0°	3.5°	7°
θ_1	0°	—	—
θ_2	11°	12°	13°
θ_3	11°	12°	13°

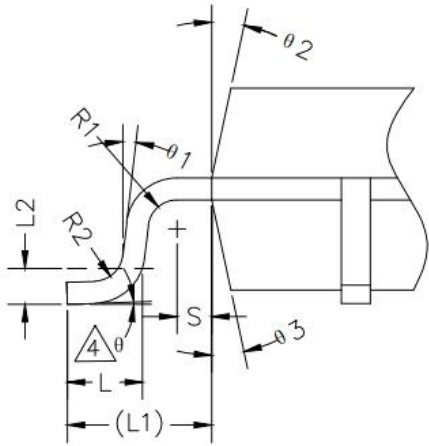
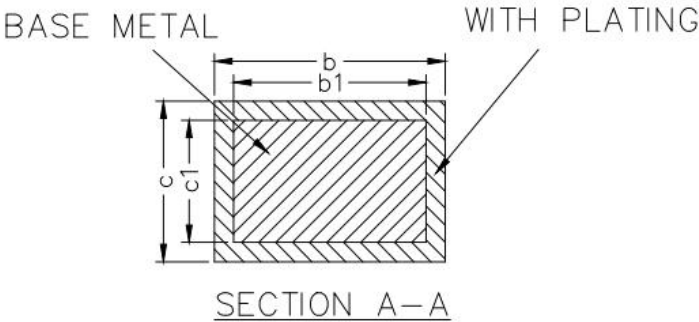
8.4 LQFP100 封装

LQFP100 封装尺寸





TRADE RESTRICTIONS

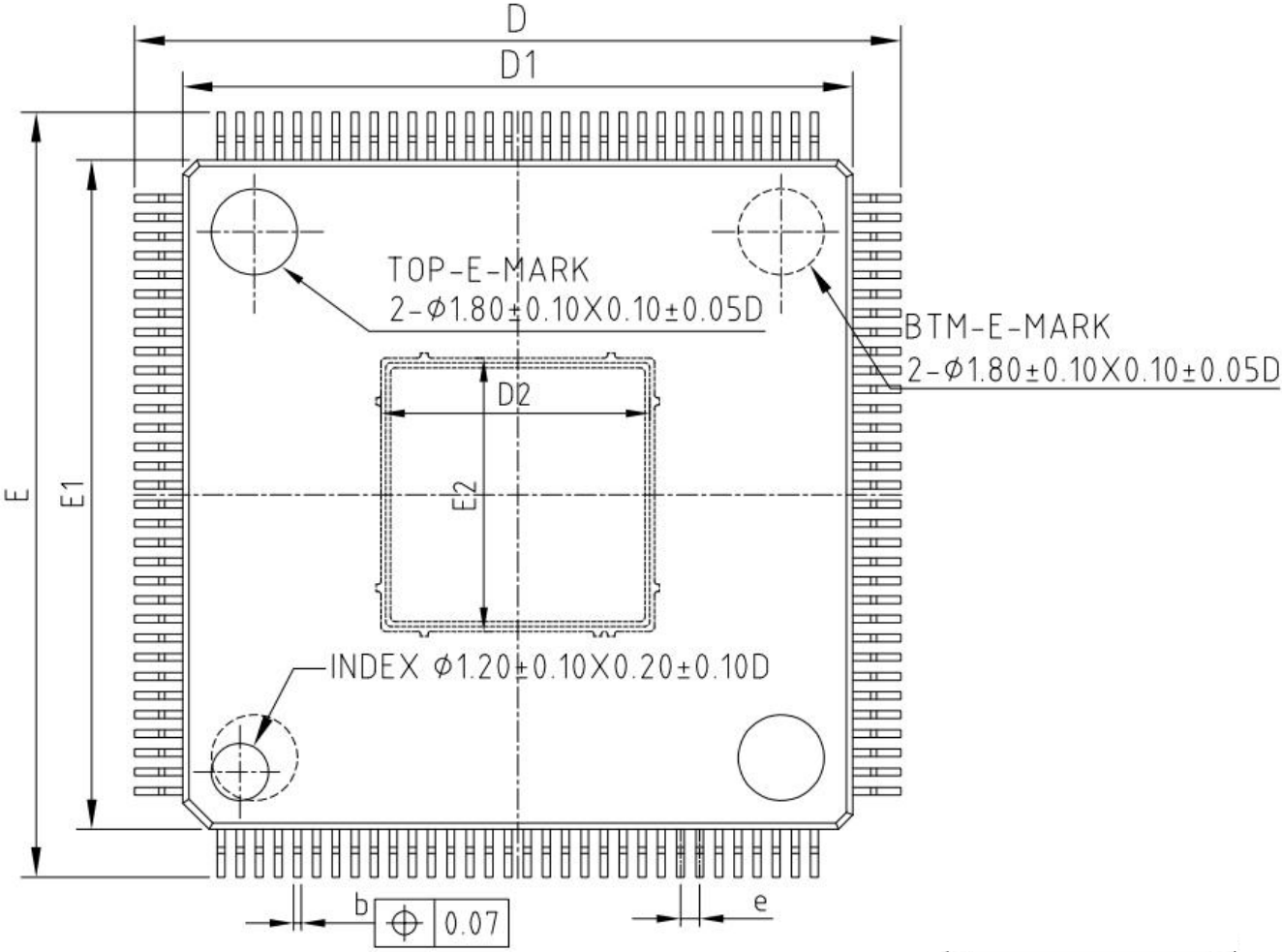


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

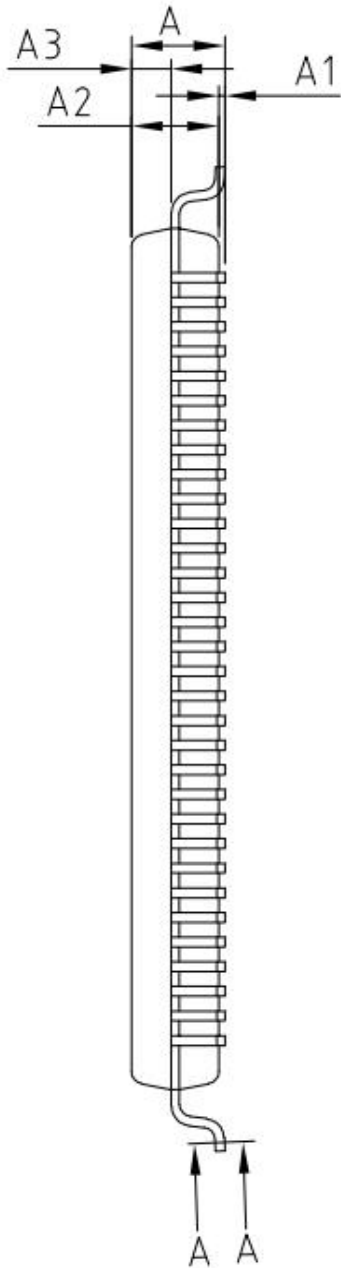
SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
$\triangle 3$ e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
$\theta 1$	0°	—	—
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°
$\triangle 2$ aaa	0.08		
$\triangle 2$ bbb	0.08		

8.5 HLQFP128 封装

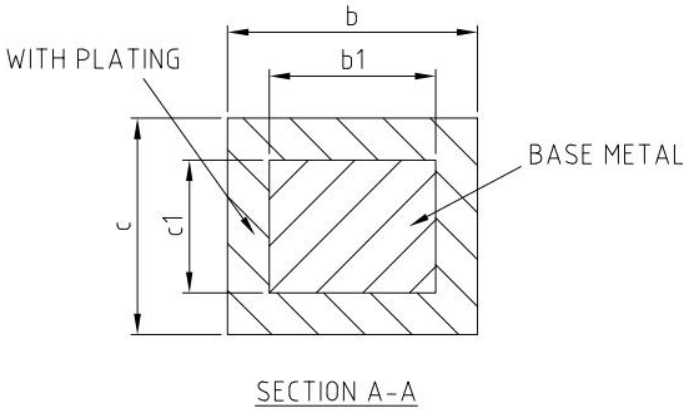
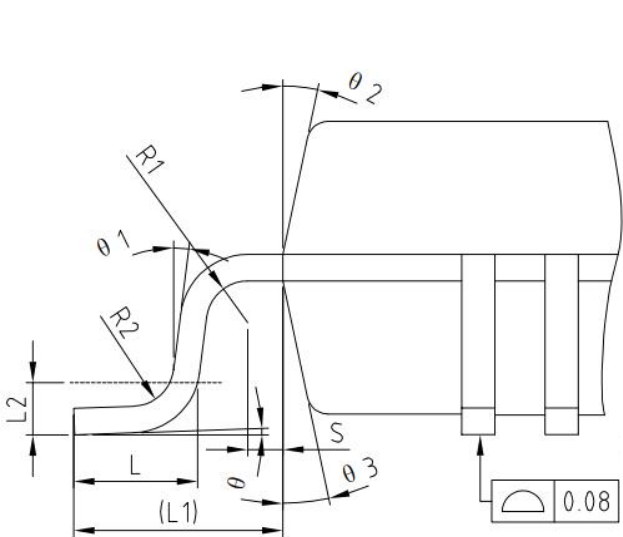
HLQFP-128 封装:



Gejian Semi. cc



DA Restrictions



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

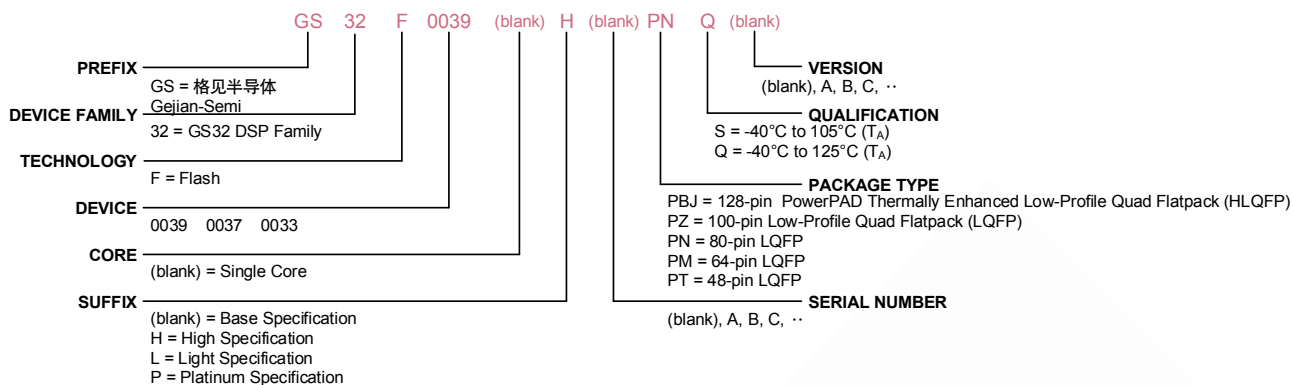
SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.14	—	0.23
b1	0.13	0.16	0.19
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
D2	Option A	5.715REF	
	Option B	6.80REF	
	Option C	5.875REF	
	Option D	7.70REF	
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
E2	Option A	5.715REF	
	Option B	6.80REF	
	Option C	5.875REF	
	Option D	6.00REF	
e	0.35	0.40	0.45
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
θ 1	0°	—	—
θ 2	11°	12°	13°
θ 3	11°	12°	13°

注意:

- 1) ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BEE-HD DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
- 2) D2 & E2 ARE OPTIONAL, EXPOSED DAP SIZES AND OUTLOOK ARE VARIABLES DEPENDING ON L/F

9 器件订购信息

器件号编码的含义如下图所示



格见半导体
Gejian Semi. confidential - NDA Restrictions

10 修订历史记录

版本	日期	修改内容
2.0	2025.5.1	正式版本发布

格见半导体
Gejian Semi. confidential - NDA Restrictions